



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 8 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 4 5 4 6 4  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 4 5 4 6 4 ]

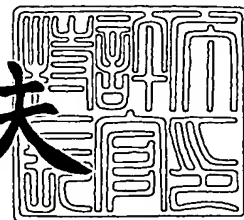
出      願      人                      株式会社日立製作所  
Applicant(s):

U.S. Appln. Filed 11-25-03  
Inventor: S. Iwahashi et al  
Mattingly Stanger & Malor  
Docket NT-403

2 0 0 3 年 1 0 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02016301

【提出日】 平成14年11月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 岩橋 誠之

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 日下田 恵一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 データの記憶を可能とする複数のメモリセルが配列されて成るメモリセルアレイと、上記メモリセルアレイからのデータリード又は上記メモリセルへのデータライトにおいて動作される周辺回路とを含む半導体記憶装置であって、

上記メモリセルアレイからのデータリードにおいて上記周辺回路に供給されるクロック信号を生成するためのリード系クロック生成回路と、

上記メモリセルアレイへのデータライトにおいて上記周辺回路に供給されるクロック信号を生成するためのライト系クロック生成回路と、を含み、

上記リード系クロック生成回路及び上記ライト系クロック生成回路は、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を含んで成ることを特徴とする半導体記憶装置。

【請求項 2】 データの記憶を可能とする複数のメモリセルが配列されて成るメモリセルアレイと、上記メモリセルアレイからのデータリードに使用されるリード系回路と、上記メモリセルへのデータライトにおいて使用されるライト系回路とを含む半導体記憶装置であって、

上記メモリセルアレイからのデータリードにおいて上記リード系回路に供給されるクロック信号を生成するためのリード系クロック生成回路と、

上記メモリセルアレイへのデータライトにおいて上記周辺回路に供給されるクロック信号を生成するためのライト系クロック生成回路と、を含み、

上記リード系クロック生成回路及び上記ライト系クロック生成回路は、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を含んで成ることを特徴とする半導体記憶装置。

【請求項 3】 上記リード系回路又は上記ライト系回路は、互いに独立してデータリード又はデータのライトを可能とする複数のポートを含み、上記パルス幅調整手段は、上記ポート毎に配列される請求項 2 記載の半導体記憶装置。

【請求項 4】 データの記憶を可能とする複数のメモリセルが配列されて成

るメモリセルアレイと、上記メモリセルアレイからのデータリードに使用されるリード系回路と、上記メモリセルへのデータライトにおいて使用されるライト系回路と、を含む半導体記憶装置であって、

上記メモリセルアレイからのデータリードにおいて上記リード系回路に供給されるクロック信号を生成するためのリード系クロック生成回路と、

上記メモリセルアレイへのデータライトにおいて上記周辺回路に供給されるクロック信号を生成するためのライト系クロック生成回路と、

上記リード系クロック生成回路及び上記ライト系クロック生成回路は、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を含み、

上記リード系クロック生成回路に含まれる上記パルス幅調整手段は、入力信号を遅延させるための遅延回路と、

上記遅延回路からの出力信号に基づいて波形整形を行う論理ゲートとを含み、  
上記論理ゲートは、上記リード系回路において分散配置されて成ることを特徴とする半導体記憶装置。

**【請求項 5】** 上記リード系回路は、アドレス信号を取り込むためのアドレスバッファと、

上記アドレスバッファを介して取り込まれたアドレス信号に基づいてロウ系の選択信号を生成するロウ系デコード回路と、

上記アドレスバッファを介して取り込まれたアドレス信号に基づいてカラム系の選択信号を生成するカラム系デコード回路と、を含み、

上記論理ゲートは、上記リード系回路に含まれる上記各回路に対応して複数配置されて成る請求項 4 記載の半導体記憶装置。

**【請求項 6】** ロウ系デコード回路及びカラム系デコード回路に対応して配置された上記論理ゲートは、上記ロウ系及びカラム系のデコード回路の出力信号と上記遅延回路からの出力信号との論理演算を行う請求項 5 記載の半導体記憶装置。

**【請求項 7】** データの記憶を可能とする複数のメモリセルが配列されて成るメモリセルアレイと、上記メモリセルアレイからのデータリードに使用される

リード系回路と、上記メモリセルへのデータライトにおいて使用されるライト系回路と、を含む半導体記憶装置であって、

上記メモリセルアレイからのデータリードにおいて上記リード系回路に供給されるクロック信号を生成するためのリード系クロック生成手段と、

上記メモリセルアレイへのデータライトにおいて上記周辺回路に供給されるクロック信号を生成するためのライト系クロック生成手段と、

上記リード系クロック生成回路及び上記ライト系クロック生成回路は、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を含み、

上記リード系クロック生成回路に含まれる上記パルス幅調整手段は、入力信号を遅延させるための遅延回路と、

上記遅延回路からの出力信号に基づいて波形整形を行う論理ゲートとを含み、

上記論理ゲートは、上記ライト系回路において分散配置されて成ることを特徴とする半導体記憶装置。

**【請求項 8】** 上記ライト系回路は、アドレス信号を取り込むためのアドレスバッファと、

上記アドレスバッファを介して取り込まれたアドレス信号に基づいてロウ系の選択信号を生成するロウ系デコード回路と、

上記アドレスバッファを介して取り込まれたアドレス信号に基づいてカラム系の選択信号を生成するカラム系デコード回路と、を含み、

上記論理ゲートは、上記ライト系回路に含まれる上記各回路に対応して複数配置されて成る請求項 7 記載の半導体記憶装置。

**【請求項 9】** ロウ系デコード回路及びカラム系デコード回路に対応して配置された上記論理ゲートは、上記ロウ系及びカラム系のデコード回路の出力信号と上記遅延回路からの出力信号との論理演算を行う請求項 8 記載の半導体記憶装置。

**【請求項 10】** 上記パルス幅調整手段は、上記遅延回路での信号遅延量を調整可能な調整手段を含み、上記調整手段は、上記遅延回路での信号遅延量を制御可能な制御信号の論理を決定するためのヒューズ回路を含む請求項 1 乃至 9 の

何れか 1 項記載の半導体記憶装置。

【請求項 11】 上記パルス幅調整手段は、上記遅延回路での信号遅延量を調整可能な調整手段を含み、上記調整手段は、上記遅延回路での信号遅延量を制御可能な制御信号の論理を決定するためのフリップフロップ回路を含む請求項 1 乃至 9 の何れか 1 項記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置、さらにはそれにおけるクロック信号のパルス幅の-margin不足を評価してその結果をレイアウト修正などに容易にフィードバック可能な技術に関し、例えばスタティック・ランダム・アクセス・メモリ（SRAM）に適用して有効な技術に関する。

【0002】

【従来の技術】

メモリセルアレイの各列に対して設けられた複数のビット線対と、上記メモリセルアレイからのリードデータを転送するデータ線対と、リード動作及びライト動作において、上記複数のビット線対のうち一つのビット線対を選択し、この一つのビット線対と上記データ線対との接続状態と非接続状態との切り換えを制御可能な制御手段と、リード動作において、上記データ線に対して上記複数のビット線対のいずれもが接続されていない期間に、その電位を等しくするイコライズ手段と、ライト動作において、入力されたデータに従って上記データ線対を駆動するライトアンプとを備え、リード動作とライト動作との周期が同一であっても、前記一つのビット線対と前記データ線対との接続期間を、リード動作とライト動作とにおいて個別に独立して設定可能にされた半導体記憶装置が知られている（例えば特許文献 1 参照）。かかる半導体記憶装置によれば、ビット線対とデータ線対との接続期間は、リード動作とライト動作との周期が同一であっても、リード動作とライト動作において別個に独立して設定可能とされるので、リード動作のときにビット線対とデータ線対との接続関係を短く設定する一方、ライト動作のときにビット線対とデータ線対との接続関係を長くとることで、データの高

速リード、及びデータライトの確実化を図っている。

【0 0 0 3】

また、データライト時及びデータリード時に導通してデータを通過させるゲートと、このゲートの導通期間をデータライト及びデータリード時で変化させる制御手段手段を設けることで、データリード期間の長さ及びデータライト期間の長さに対する相反する要求を解消し、高い周波数での高速動作を可能にするための技術が知られている（例えば特許文献 2 参照）。

【0 0 0 4】

【特許文献 1】

特許公開平 1 1 - 3 0 6 7 5 8 号公報

【特許文献 2】

特許公開平 1 1 - 1 4 5 9 9 5 号公報

【0 0 0 5】

【発明が解決しようとする課題】

上記特許文献 1，2 に記載された技術においては、リード時とライト時とでクロック信号のパルス幅を異ならせることにより、リード動作のときにビット線対とデータ線対との接続関係を短く設定する一方、ライト動作のときにビット線対とデータ線対との接続関係を長くとることで、データの高速リード、及びデータライトの確実化を図ったり、あるいは、データリード期間の長さ及びデータライト期間の長さに対する相反する要求を解消し、高い周波数での高速動作を可能にしているものの、クロック信号のパルス幅のマージン不足を評価してその結果をレイアウト修正などにフィードバックすることについては考慮されておらず、半導体記憶装置の如何なる箇所で評価・解析時のマージン性不良を生じているのか、さらにはそのマージン性不良箇所で必要とされるパルス幅の確認が困難とされる。また、上記特許文献 1，2 に記載された技術においては、リード系回路を構成する主要回路単位、あるいはライト系回路を構成する主要回路単位でクロック信号のパルス幅を調整することについては考慮されておらず、上記主要回路単位でクロック信号のパルス幅を調整することによりチップの性能向上を図ることは困難とされる。

**【0006】**

本発明の目的は、クロック信号のパルス幅のマージン不足を評価してその結果をレイアウト修正などに容易にフィードバック可能な技術を提供することにある。

**【0007】**

また、本発明の別の目的は、リード系回路を構成する主要回路単位、あるいはライト系回路を構成する主要回路単位でクロック信号のパルス幅の調整を可能とするための技術を提供することにある。

**【0008】**

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

**【0009】****【課題を解決するための手段】**

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

**【0010】**

すなわち、データの記憶を可能とする複数のメモリセルが配列されて成るメモリセルアレイと、上記メモリセルアレイからのデータリード又は上記メモリセルへのデータライトにおいて動作される周辺回路とを含んで半導体記憶装置が構成されるとき、上記メモリセルアレイからのデータリードにおいて上記周辺回路に供給されるクロック信号を生成するためのリード系クロック生成回路と、上記メモリセルアレイへのデータライトにおいて上記周辺回路に供給されるクロック信号を生成するためのライト系クロック生成回路とを設け、上記リード系クロック生成回路及び上記ライト系クロック生成回路には、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を設ける。

**【0011】**

上記の手段によれば、リード系とライト系とでクロック信号のパルス幅を個別に変更することができるため、リード系、ライト系でクロックパルスのパルス幅を最適に調整することができる。このことが、リード系、ライト系毎の検証評



価の容易化を達成し、その評価結果をレイアウト修正などにフィードバック可能とする。

#### 【0 0 1 2】

データの記憶を可能とする複数のメモリセルが配列されて成るメモリセルアレイと、上記メモリセルアレイからのデータリードに使用されるリード系回路と、上記メモリセルへのデータライトにおいて使用されるライト系回路とを含んで半導体記憶装置が構成される場合には、上記メモリセルアレイからのデータリードにおいて上記リード系回路に供給されるクロック信号を生成するためのリード系クロック生成回路と、上記メモリセルアレイへのデータライトにおいて上記周辺回路に供給されるクロック信号を生成するためのライト系クロック生成回路と、を設け、上記リード系クロック生成回路及び上記ライト系クロック生成回路には、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を設けるとよい。

#### 【0 0 1 3】

このとき、上記リード系回路又は上記ライト系回路は、互いに独立してデータリード又はデータのライトを可能とする複数のポートを含み、上記パルス幅調整手段は上記ポート毎に配列することができる。

#### 【0 0 1 4】

データの記憶を可能とする複数のメモリセルが配列されて成るメモリセルアレイと、上記メモリセルアレイからのデータリードに使用されるリード系回路と、上記メモリセルへのデータライトにおいて使用されるライト系回路とを含んで半導体記憶装置が構成されるとき、上記メモリセルアレイからのデータリードにおいて上記リード系回路に供給されるクロック信号を生成するためのリード系クロック生成回路と、上記メモリセルアレイへのデータライトにおいて上記周辺回路に供給されるクロック信号を生成するためのライト系クロック生成回路と、上記リード系クロック生成回路及び上記ライト系クロック生成回路は、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を設け、上記リード系クロック生成回路に含まれる上記パルス幅調整手段には、入力信号を遅延させるための遅延回路と、上記遅延回路からの出力信号に基づいて波形整

形を行う論理ゲートとを設け、上記論理ゲートは、上記リード系回路において分散配置するとよい。

#### 【0015】

上記リード系回路が、アドレス信号を取り込むためのアドレスバッファと、上記アドレスバッファを介して取り込まれたアドレス信号に基づいてロウ系の選択信号を生成するロウ系デコード回路と、上記アドレスバッファを介して取り込まれたアドレス信号に基づいてカラム系の選択信号を生成するカラム系デコード回路とを含むとき、上記論理ゲートは、上記リード系回路に含まれる上記各回路に対応して複数配置することができる。

#### 【0016】

このとき、ロウ系デコード回路及びカラム系デコード回路に対応して配置された上記論理ゲートは、上記ロウ系及びカラム系のデコード回路の出力信号と上記遅延回路からの出力信号との論理演算を行うように構成することができる。

#### 【0017】

データの記憶を可能とする複数のメモリセルが配列されて成るメモリセルアレイと、上記メモリセルアレイからのデータリードに使用されるリード系回路と、上記メモリセルへのデータライトにおいて使用されるライト系回路とを含んで半導体記憶装置が構成されるとき、上記メモリセルアレイからのデータリードにおいて上記リード系回路に供給されるクロック信号を生成するためのリード系クロック生成手段と、上記メモリセルアレイへのデータライトにおいて上記周辺回路に供給されるクロック信号を生成するためのライト系クロック生成手段と、上記リード系クロック生成回路及び上記ライト系クロック生成回路は、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を設け、上記リード系クロック生成回路に含まれる上記パルス幅調整手段には、入力信号を遅延させるための遅延回路と、上記遅延回路からの出力信号に基づいて波形整形を行う論理ゲートとを設け、上記論理ゲートは、上記ライト系回路において分散配置することができる。

#### 【0018】

上記ライト系回路が、アドレス信号を取り込むためのアドレスバッファと、上

記アドレスバッファを介して取り込まれたアドレス信号に基づいてロウ系の選択信号を生成するロウ系デコード回路と、上記アドレスバッファを介して取り込まれたアドレス信号に基づいてカラム系の選択信号を生成するカラム系デコード回路とを含んで成るとき、上記論理ゲートは、上記ライト系回路に含まれる上記各回路に対応して複数配置することができる。

#### 【 0 0 1 9 】

ロウ系デコード回路及びカラム系デコード回路に対応して配置された上記論理ゲートは、上記ロウ系及びカラム系のデコード回路の出力信号と上記遅延回路からの出力信号との論理演算を行うように構成することができる。

#### 【 0 0 2 0 】

上記パルス幅調整手段は、上記遅延回路での信号遅延量を調整可能な調整手段を含み、上記調整手段は、上記遅延回路での信号遅延量を制御可能な制御信号の論理を決定するためのヒューズ回路を含んで構成することができる。

#### 【 0 0 2 1 】

上記パルス幅調整手段は、上記遅延回路での信号遅延量を調整可能な調整手段を含み、上記調整手段は、上記遅延回路での信号遅延量を制御可能な制御信号の論理を決定するためのフリップフロップ回路を含んで構成することができる。

#### 【 0 0 2 2 】

#### 【発明の実施の形態】

図 1 8 には、本発明にかかる半導体記憶装置の一例とされるスタティック・ランダム・アクセス・メモリ（「SRAM」と略記する）が示される。図 1 8 に示される SRAM 1 8 0 は、特に制限されないが、リード系ポートとライト系ポートとを独立して備えるマルチポート SRAM とされる。この SRAM 1 8 0 は、メモリセルアレイ部 1 8 2 と、その周辺回路の一例とされるデコード部 1 8 1、リードライト部 1 8 3 及びクロック発生部 1 8 5 とを含み、公知の半導体集積回路製造技術により単結晶シリコン基板などの一つの半導体基板に形成される。

#### 【 0 0 2 3 】

メモリセルアレイ部 1 8 2 は、複数のワード線と複数のビット線の交差箇所に複数のスタティック型メモリセルが配列されて成る。デコード部 1 8 1 は、入力

されたリード用アドレス  $AR < 0 : n >$  をデコードすることによって上記複数のワード線のうちの一つを選択レベルに駆動するための信号を形成する手段と、入力されたライト用アドレス  $AW < 0 : n >$  をデコードすることによって上記複数のワード線のうちの一つを選択レベルに駆動するための信号を形成する手段とを含む。上記デコード部 1 8 1 から出力された信号によってワード線が選択レベルに駆動されると、そのワード線に結合されているメモリセルの記憶データのリード及び、当該メモリセルへのデータライトが可能とされる。メモリセルの記憶データはビット線に伝達され、リードライト部 1 8 3 を介して外部出力可能とされる。リードライト部 1 8 3 は、ビット線を選択するためのリードカラム選択回路と、このリードカラム選択回路を介して得られたリードデータを増幅するためのリードアンプ回路、データライトデータを増幅するためのライトアンプ、及びこのライトアンプをライト用ビット線に選択的に結合させるためのライト用カラム選択回路を含む。メモリセルからのリードデータは  $D 0 < 0 : m >$  によって示される。メモリセルへのライトデータは  $WD < 0 : m >$  によって示される。クロック発生部 1 8 5 は、リード用クロック信号及びライト用クロック信号を生成する。生成されたリード用クロック信号及びライト用クロック信号は、上記デコード部 1 8 1 に供給される。

#### 【 0 0 2 4 】

図 1 9 には、上記メモリセルアレイ部 1 8 2 の構成例が示される。

#### 【 0 0 2 5 】

複数のワード線と複数のビット線の交点にマトリックス配置される複数のメモリセル MC のうち、左端のビット線に対応したメモリセル MC が代表として例示的に示されているように、8 個の MOS トランジスタの 2 ポートメモリセルが用いられる。すなわち、同図の左上端のメモリセル MC に代表されるように、メモリセル MC は、p チャネル型の負荷 MOS トランジスタ MP と n チャネル型の駆動 MOS トランジスタ MD からなる 2 つの CMOS インバータ回路の入力と出力とを交差接続されてなるラッチ回路を記憶部とし、かかる記憶部に対してライト（書き込み）経路とリード（読み出し）経路とがそれぞれ設けられる 2 ポート構成とされる。

## 【0026】

上記ライト経路は、上記ラッチ回路の一对の入出力ノードと、ライト用の相補ビット線との間に設けられたアドレス選択用の一对のMOSトランジスタMTにより構成される。上記リード経路は、上記ラッチ回路の一方の記憶ノードの情報電圧がゲートに印加され、ソースに回路の接地電位が与えられたnチャネル型MOSトランジスタMN2と、かかるMOSトランジスタMN2のドレインとリード用ビット線BB0Uとの間に設けられたアドレス選択用のMOSトランジスタMN1により構成される。上記ライト経路を構成する一对のMOSトランジスタMTのゲートは、ライト用ワード線MWWD0に接続され、上記リード経路を構成するMOSトランジスタMN1のゲートは、リード用ワード線MWD0に接続される。

## 【0027】

上記リード用ビット線BB0Uには、タイミング信号YEQを受けるpチャネル型MOSトランジスタにより構成されるビット線プリチャージ回路BPCが設けられる。上記ビット線BB0Uのリード信号は、ローカルアンプ（又はセンスアンプ）LAMPにより増幅される。ローカルアンプLAMPは、カラム選択回路も兼ねた反転増幅回路により構成される。つまり、上記ビット線BB0Uは、pチャネル型の増幅MOSトランジスタMP2のゲートに伝えられ、かかるMOSトランジスタMP2のドレインとソースには、カラム選択信号YR0-Nによってスイッチ制御されるpチャネル型MOSトランジスタMP1とnチャネル型MOSトランジスタMN3が設けられる。

## 【0028】

上記nチャネル型MOSトランジスタMN3は、カラム選択信号YR0-Nによってオン状態にされるとき、増幅素子としてのMOSトランジスタMP2の負荷素子を構成する。また、pチャネル型MOSトランジスタMP1は、動作電圧を供給するスイッチとして用いられる。上記増幅MOSトランジスタMP2のドレイン出力は、インバータ回路とnチャネル型MOSトランジスタによるロウレベルラッチ回路が設けられる。

## 【0029】

特に制限されないが、この実施例では回路の高集積化のために上記ローカルアンプ LAMP に対して上下にビット線が振り分けられて配置される。同図では、そのうち上側に配置されるビット線 BB0U～BB3U が代表として例示的に示され、下側に配置されるビット線 BB0D～BB3D は、そのメモリセル部やプリチャージ回路が省略されて一部のみが示されている。上記ローカルアンプ LAMP により上下一対のビット線 BB0U, BB0D の信号センスを行うようにするために、増幅 MOS トランジスタ MP2 と MP3 が並列形態に接続され、それぞれのゲートに上記ビット線 BB0U, BB0D が接続される。

#### 【0030】

このようにローカルアンプ LAMP を上下に振り分けたビット線対 BB0U, BB0D に共用した場合、実質的なビット線長さを半分にできビット線の寄生容量等も半分にできるので高速リードに有益である。この構成では、上側のメモリアレイと下側のメモリアレイのうちいずれか一方のメモリアレイのワード線が選択されることになる。

#### 【0031】

図 1 には上記デコード部 181 の構成例が示され、図 22 には上記クロック発生部 185 の構成例が示される。

#### 【0032】

上記デコード部 181 は、メモリセルアレイ部 182 からのデータリードの際に使用されるリード用デコード部 10 と、メモリセルアレイ部 182 へのデータライトの際に使用されるライト用デコード部 20 とを含む。

#### 【0033】

リード用デコード部 10 は、複数のアドレスバッファ 11、複数のデコード・ワードドライバ 12、複数のデコード・カラムドライバ 13、及びデコード線 14 を含む。

#### 【0034】

上記複数のアドレスバッファ 11 は、外部から入力されたリード用アドレス信号 AR0～ARn をリードアドレスバッファ用クロック信号 ckpr に同期して取り込む。上記複数のアドレスバッファ 11 の出力信号は、デコード線 14 を介

して複数のデコード・ワードドライバ12、及び複数のデコード・カラムドライバ13に取り込まれる。複数のデコード・ワードドライバ12は、図示されないが、上記デコード線14を介して入力された信号をデコードするためのリードデコーダと、そのデコード結果に基づいてワード線を選択レベルに駆動するためのリードワードドライバとを含む。このリードワードドライバによるワード線駆動は、リードワードドライバ用クロック信号  $ck_{xr}$  に同期して行われる。複数のデコード・カラムドライバ13は、図示されないが、上記デコード線14を介して入力された信号をデコードするためのリードデコーダと、そのデコード結果に基づいて、リードライト部183におけるリードカラム選択回路を駆動するためのリードカラムドライバとを含む。このリードカラムドライバによるリードカラム選択回路の駆動はリードカラムドライバ用クロック信号  $ck_{yr}$  に同期して行われる。

#### 【0035】

ライト用デコード部20は、複数のアドレスバッファ21、複数のデコード・ワードドライバ22、複数のデコード・カラムドライバ23、及びデコード線24を含む。

#### 【0036】

上記複数のアドレスバッファ21は、外部から入力されたライト用アドレス信号  $AW_0 \sim AW_n$  をライトアドレスバッファ用クロック信号  $ck_{pw}$  に同期して取り込む。上記複数のアドレスバッファ11の出力信号は、デコード線14を介して複数のデコード・ワードドライバ22、及び複数のデコード・カラムドライバ23に取り込まれる。複数のデコード・ワードドライバ22は、上記デコード線24を介して入力された信号をデコードするためのライトデコーダと、そのデコード結果に基づいてワード線を選択レベルに駆動するためのライトワードドライバとを含む。このライトワードドライバによるワード線駆動は、ライトワードドライバ用クロック信号  $ck_{xw}$  に同期して行われる。複数のデコード・カラムドライバ23は、上記デコード線14を介して入力された信号をデコードするためのライトデコーダと、そのデコード結果に基づいて、リードライト部183におけるライトカラム選択回路を駆動するためのライトカラムドライバとを含む。

このライトカラムドライバによるライトカラム選択回路の駆動はライトカラムドライバ用クロック信号  $ckyw$  に同期して行われる。

**【0037】**

クロック発生部 185 は、インバータ 121, 122、パルスジェネレータ 111~116 とを含む。外部から入力されたクロック信号  $CK$  は、インバータ 121, 122 を介してパルスジェネレータ 111~116 へ供給される。

**【0038】**

パルスジェネレータ 111 は、上記インバータ 122 の出力信号に基づいてリードアドレスバッファ用クロック信号  $ckpr$  を生成する。このリードアドレスバッファ用クロック信号  $ckpr$  のパルス幅はパルス幅制御信号  $PWRP<0-o>$  によって調整可能とされる。

**【0039】**

パルスジェネレータ 112 は、上記インバータ 122 の出力信号に基づいてライトアドレスバッファ用クロック信号  $ckpw$  を生成する。このライトアドレスバッファ用クロック信号  $ckpw$  のパルス幅はパルス幅制御信号  $PWRP<0-p>$  によって調整可能とされる。

**【0040】**

パルスジェネレータ 113 は、上記インバータ 122 の出力信号に基づいてリードワードドライバ用クロック信号  $ckxr$  を生成する。このリードワードドライバ用クロック信号  $ckxr$  のパルス幅はパルス幅制御信号  $PWRX<0-q>$  によって調整可能とされる。

**【0041】**

パルスジェネレータ 114 は、上記インバータ 122 の出力信号に基づいてリードワードドライバ用クロック信号  $ckxr$  を生成する。このリードワードドライバ用クロック信号  $ckxr$  のパルス幅はパルス幅制御信号  $PWRX<0-q>$  によって調整可能とされる。

**【0042】**

パルスジェネレータ 115 は、上記インバータ 122 の出力信号に基づいてリードカラムドライバ用クロック信号  $cky r$  を生成する。このリードカラムドラ



イバ用クロック信号  $ckyr$  のパルス幅はパルス幅制御信号  $PWRY<0-s>$  によって調整可能とされる。

#### 【0043】

パルスジェネレータ 116 は、上記インバータ 122 の出力信号に基づいてライトカラムドライバ用クロック信号  $ckyw$  を生成する。このライトカラムドライバ用クロック信号  $ckyw$  のパルス幅はパルス幅制御信号  $PWWY<0-t>$  によって調整可能とされる。

#### 【0044】

特に制限されないが、上記パルスジェネレータ 111 ~ 116 は同一とされる。

#### 【0045】

図 20 には、上記パルスジェネレータ 111 の構成例が代表的に示される。また、図 21 には、図 20 に示されるパルスジェネレータ 111 における主要部の動作波形が示される。

#### 【0046】

図 20 に示されるように上記パルスジェネレータ 111 は、インバータ 121, 122 を介して伝達されたクロック信号 203 を遅延させるためのディレイヤー（遅延回路）201 と、このディレイヤー 201 の出力信号 204 と上記クロック信号 203 とのノア論理を得るためのゲート回路 202 とを含む。このゲート回路 202 の出力信号 205 のパルス幅 207 ( $ckpr$ ) は、上記ディレイヤー 201 での遅延時間により決定され、上記ディレイヤー 201 での遅延時間は、パルス幅制御信号  $PWRP<0-o>$  により変更可能とされる。

#### 【0047】

図 12、図 13、図 14 には、上記ディレイヤー 201 の構成例が示される。

#### 【0048】

図 12 に示される構成によれば、ディレイヤー 201 は、ドライバ 60, 61, 62 と、インバータ 65, 66, 67, 68 とが結合されて成る。上記ドライバ 60, 61, 62 は、それぞれ p チャネル型 MOS トランジスタ Q11, Q12 と n チャネル型 MOS トランジスタ Q13, Q14 とが直列接続されて成る。

そして、上記ドライバ60, 61, 62は、互いドライバビリティが異なるようにMOSトランジスタのゲートサイズが調整されている。pチャネル型MOSトランジスタQ11のソース電極は高電位側電源V<sub>dd</sub>に結合され、nチャネル型MOSトランジスタQ14のソース電極は低電位側電源V<sub>ss</sub>に結合されている。pチャネル型MOSトランジスタQ11のゲート電極とnチャネル型MOSトランジスタQ14のゲート電極とは、インバータ68を介して入力端子INに結合される。入力端子INには、クロック信号203 (CK) が入力される。パルス幅制御信号PW0, PW1, PW2は、例えば図20におけるパルス幅制御信号PWRP<0-o>に相当し、それぞれ対応するドライバ60, 61, 62におけるnチャネル型MOSトランジスタQ13のゲート電極に伝達される。また、上記パルス幅制御信号PW0, PW1, PW2は、それぞれ対応するインバータ65, 66, 67を介してドライバ60, 61, 62におけるpチャネル型MOSトランジスタQ12のゲート電極に伝達される。この結果、上記パルス幅制御信号PW0, PW1, PW2の論理の組み合わせにより、ドライバ60, 61, 62が選択的に活性化される。ドライバ60, 61, 62において、pチャネル型MOSトランジスタQ12とnチャネル型MOSトランジスタQ13との直列接続ノードは出力端子OUTに共通接続される。ドライバ60, 61, 62のドライバビリティが互いに異なることから、それらが選択的に活性化されることによって、上記出力端子OUTから出力されるクロック信号の立ち上がり及び立ち下がり特性を切り換えることができ、それによってクロック信号の遅延時間（遅延量）を変更することができる。

#### 【0049】

図13に示される構成によれば、ディレイヤー201は、ドライバ70, 71, 72, 73と、インバータ75~85とが結合されて成る。上記ドライバ70, 71, 72, 73は、図12におけるドライバ60などと同様に、それぞれpチャネル型MOSトランジスタQ21, Q22とnチャネル型MOSトランジスタQ23, Q24とが直列接続されて成る。pチャネル型MOSトランジスタQ11のソース電極は高電位側電源V<sub>dd</sub>に結合され、nチャネル型MOSトランジスタQ24のソース電極は低電位側電源V<sub>ss</sub>に結合されている。パルス幅制

御信号PW0, PW1, PW2は、それぞれ対応するドライバ70, 71, 72, 73におけるnチャネル型MOSトランジスタQ23のゲート電極に伝達される。また、上記パルス幅制御信号PW0, PW1, PW2, PW3は、それぞれ対応するインバータ75, 78, 81, 84を介してドライバ70, 71, 72, 73におけるpチャネル型MOSトランジスタQ22のゲート電極に伝達される。入力端子INを介して取り込まれたクロック信号は、ドライバ70におけるMOSトランジスタQ21, Q24に伝達されると共に、インバータ76, 77を介してドライバ71におけるMOSトランジスタQ21, Q24に伝達され、さらに、インバータ76, 77, 79, 80を介してドライバ72におけるMOSトランジスタQ21, Q24に伝達され、そして、インバータ76, 77, 79, 80, 82, 83を介してドライバ73におけるMOSトランジスタQ21, Q24に伝達される。上記パルス幅制御信号PW0, PW1, PW2, PW3の何れかがハイレベルにされることで、対応するドライバが活性化され、そのとき、経由されるインバータの段数に応じて、クロック信号の遅延時間が決定される。例えばパルス幅制御信号PW0がハイレベルの場合には、入力端子INから入力されたクロック信号は、ドライバ70及びインバータ85を介して後段回路へ出力される。パルス幅制御信号PW1がハイレベルの場合には、入力端子INから入力されたクロック信号は、インバータ76, 77、ドライバ71及びインバータ85を介して後段回路へ出力される。パルス幅制御信号PW2がハイレベルの場合には、入力端子INから入力されたクロック信号は、インバータ76, 77, 79, 80、ドライバ72及びインバータ85を介して後段回路へ出力される。パルス幅制御信号PW3がハイレベルの場合には、入力端子INから入力されたクロック信号は、インバータ76, 77, 79, 80, 82, 83、ドライバ73及びインバータ85を介して後段回路へ出力される。

#### 【0050】

図14に示される構成によれば、ディレイヤー201は、インバータ94と、遅延段90, 91, 92とが結合されて成る。遅延段90, 91, 92は直列接続され、入力端子INを介して取り込まれたクロック信号はインバータ94及び遅延段90, 91, 92を介して出力端子OUTに伝達される。遅延段90は、

インバータ 95, 98, 99, 100、及びナンドゲート 96, 97, 98, 99 とが結合されて成る。パルス幅制御信号 P W 0 は、ナンドゲート 98 の一方の入力端子に伝達されると共に、インバータ 95 を介してナンドゲート 96 の一方の入力端子に伝達される。これにより、パルス幅制御信号 P W 0 がハイレベルの場合にはナンドゲート 98 が活性化され、パルス幅制御信号 P W 0 がローレベルの場合にはナンドゲート 96 が活性化される。ナンドゲート 96 の出力信号は、後段のナンドゲート 97 を介して出力端子 O U T に伝達され、ナンドゲート 98 の出力信号は、後段のインバータ 99, 100、及びナンドゲート 97 を介して出力端子 O U T に伝達される。このようにパルス幅制御信号 P W 0 の論理に応じて、インバータ 99, 100 を経由するか否かの切り換えが行われることによって遅延時間の切り換えが行われる。他の遅延段 91, 92 においても同様に構成されることにより遅延時間の切り換えが可能とされる。

#### 【0051】

上記パルス幅制御信号 P W R P < 0 - o > ~ P W W Y < 0 - t > は、S R A M 180 における所定端子を介して入力することができる。そして、このパルス幅制御信号 P W R P < 0 - o > ~ P W W Y < 0 - t > の論理を設定する手段としては、特に制限されないが、上記 S R A M 180 の外部に配置されたヒューズ回路や、フリップフロップ回路などによって構成することができる。

#### 【0052】

図 15 乃至図 17 には、上記パルス幅制御信号 P W R P < 0 - o > の論理を設定することによって遅延回路の遅延時間を調整可能な手段の具体例が示される。尚、図 15 乃至図 17 においては、説明の便宜上、図 18 に示される構成の S R A M 18 がマクロセル 180 M として提供され、その場合に供給されるパルス幅制御信号 P W R P < 0 - o > を 4 ビット構成としている。

#### 【0053】

図 15 に示される構成例では、上記パルス幅制御信号 P W R P < 0 - o > の論理を設定する手段は、ヒューズ 151 ~ 154 と、それに直列接続された抵抗 155 ~ 158 とを含んで成るヒューズ回路によって構成される。ヒューズ 151 ~ 154 は、高電位側電源 V d d に結合され、抵抗 155 ~ 158 は低電位側電

源  $V_{ss}$  に結合される。ヒューズ 151～154 が切断されていない場合には、それに対応する抵抗との直列接続ノードはハイレベル（高電位側電源  $V_{dd}$  レベル）とされる。それに対して、レーザ光などによってヒューズ 151～154 が切断されると、切断されたヒューズに対応する抵抗の端子はハイレベルからローレベル（低電位側電源  $V_{ss}$ ）に変化される。このようにヒューズを切断するかどうかによって、上記パルス幅制御信号  $PWRP<0-o>$  の論理を設定することができる。

#### 【0054】

図 16 に示される構成例では、上記パルス幅制御信号  $PWRP<0-o>$  の論理を設定する手段は、スイッチ 161～164 と、フリップフロップ回路 165～168 とを含んで成る。フリップフロップ回路 165～168 はクロック信号  $CK_a$  に同期動作される。スイッチ 161 は、スキャンイン端子  $SCAN\_in$  と、外部端子  $in1$  とを選択的にフリップフロップ回路 165 のデータ端子 D に結合させる。スイッチ 162 は、フリップフロップ回路 165 の出力端子 Q と、外部端子  $in2$  とを選択的にフリップフロップ回路 166 のデータ端子 D に結合させる。スイッチ 163 は、フリップフロップ回路 166 の出力端子 Q と、外部端子  $in3$  とを選択的にフリップフロップ回路 167 のデータ端子 D に結合させる。スイッチ 164 は、フリップフロップ回路 168 の出力端子 Q と、外部端子  $in4$  とを選択的にフリップフロップ回路 168 のデータ端子 D に結合させる。

#### 【0055】

スイッチ 161～164 の選択動作は選択信号  $select$  によって制御される。スイッチ 161 によって外部端子  $in1$ ～ $in4$  が選択されることにより、外部から与えられた 4 ビット構成のパルス幅制御信号  $PWRP<0-o>$  は、スイッチ 161～164 を介してフリップフロップ回路 165～168 に伝達され、そこに保持される。フリップフロップ回路 165～168 の保持値は、SRAM 180 に伝達される。また、スイッチ 161 によりスキャンイン端子  $SCAN\_in$  が選択され、スイッチ 162～164 によってフリップフロップ回路 165～167 の出力信号が選択された場合には、上記スキャンイン端子  $SCAN\_in$  を介してシリアル形式で伝達されたデータ（パルス幅制御信号）を、クロッ

ク信号CKaに同期してフリップフロップ回路165～168に保持させることができる。従って、図16に示される構成では、スイッチ161～164の切り換えにより、2通りの設定モードを選択することができる。

#### 【0056】

図17に示される構成例では、図16における外部端子in1～in4の論理を、図15に示されるヒューズ回路によって決定するようにしたものである。

#### 【0057】

上記した例によれば、以下の作用効果を得ることができる。

#### 【0058】

(1) メモリセルアレイからのデータリードにおいてその周辺回路に供給されるクロック信号を生成するためのリード系クロック生成回路の一例とされるディレイヤー111, 113, 115と、メモリセルアレイへのデータライトにおいてその周辺回路に供給されるクロック信号を生成するためのライト系クロック生成回路の一例とされるディレイヤー112, 114, 116とを有するため、リード系とライト系とでクロック信号のパルス幅を個別적으로変更することができ、リード系、ライト系でクロックパルスのパルス幅を最適に調整することができる。このため、リード系、ライト系毎の検証評価を容易に行うことができるし、その評価をレイアウト修正などにフィードバックすることができる。

#### 【0059】

(2) パルス幅制御信号PWRP<0-o>、PWRP<0-p>、PWRP<0-q>、PWRP<0-r>、PWRP<0-s>、PWRP<0-t>によって、アドレスバッファ11、デコード・ワードドライバ12、デコード・カラムドライバ13、アドレスバッファ21、デコード・ワードドライバ22、デコード・カラムドライバ23に供給されるクロック信号のパルス幅調整を個別的に行うことができることから、供給されるクロック信号のパルス幅を個々の回路毎に最適に調整することができる。また、そのように供給されるクロック信号のパルス幅を個々の回路毎に最適に調整することができるため、その回路毎の検証、評価を容易に行うことができるし、その結果をレイアウト修正などにフィードバックすることができる。

## 【0060】

(3) リード系とライト系とでクロック信号のパルス幅を個別的に変更することができるため、タイミングの最適化により動作速度の向上を図ることができる。例えばマルチポートSRAMでは、リード用クロック信号のパルス幅よりもライト用クロック信号パルス幅が広い。このため、メモリセル内部ノードの容量が大きく、ライト時間が長くなる。マルチポートでのサイクル時間を決定する要因として、ライト用ビット線がライトしきい値以下になる期間(図3(A)“TA”)とリード用ビット線とがリード部のしきい値以下になる期間(図3(A)“TB”)がある。電源電圧に対して、80%程度低下したところでも、ライト部のしきい値を下回ることはないが、リード部のしきい値は、電源電圧の90%近くに設定されていることが多い(特に高速SRAMの場合)。また、リード電流を確保するため、リード用ビット線負荷が多く、リード用ビット線のプリチャージ時間は長い傾向にある。

## 【0061】

リード系とライト系とでクロック信号のパルス幅が等しい場合、図3(A)に示されるように、論理しきい値とビット線プリチャージ時間によって、期間“TA”，“TB”の大小関係は、“TA”<“TB”となるため、“TB”でサイクルが制約される。これに対して、図1に示される構成を採用してリード系のクロック信号のパルス幅を最適化することにより、図3(B)に示されるように、リード部のしきい値を下回る期間(“TB”)を“TA”に等しくすることにより、サイクル時間を“TB-TA”だけ高速化することができる。

## 【0062】

(4) ワード選択信号のパルス幅のみを調整することによって実効的なパルス幅を確保することができる。例えば図6(B)に示されるように、ワード線を選択レベルに駆動するためのワード選択信号のパルス幅が狭いために誤動作を生じている場合、図6(A)に示されるように、カラム選択信号のパルス幅はそのままにして、ワード選択信号のパルス幅のみを拡げるのよい。カラム選択信号のパルス幅を拡げてしまうと、サイクル時間の低下を招くからである。上記の例では、クロック発生部185において、リードワードドライバ用クロック信号ckx

r、ライトワードドライバ用クロック信号  $ck_{xw}$  のパルス幅のみを調整することができ、それによって、ワード選択信号のパルス幅のみを上げることができる。

#### 【0063】

(5) カラム選択信号のパルス幅のみを調整することによって貫通電流を回避することができる。例えばカラム選択信号のパルス幅が細すぎるのが原因で、図6 (D) に示されるように、ワード選択信号がハイレベルでカラム選択信号がローレベルの期間Xが発生する。図6 (C) に示されるように、ワード線選択信号によってnチャネル型MOSトランジスタが駆動され、カラム選択信号によってpチャネル型MOSトランジスタが駆動される場合において、上記のようにワード選択信号がハイレベルでカラム選択信号がローレベルの期間が発生すると、図6 (C) において、61で示されるルートで貫通電流が流れるおそれがある。かかる場合には、カラム選択信号のパルス幅のみを上げることで上記貫通電流を阻止することができる。ワード選択信号のパルス幅も一緒に上げてしまうと、上記貫通電流を阻止することはできない。上記の例によれば、リードカラムドライバ用クロック信号  $ck_{yr}$  や、ライトカラムドライバ用クロック信号  $ck_{yw}$  のパルス幅のみを調整することができ、それによって上記の貫通電流を阻止することができる。

#### 【0064】

次に、本発明にかかる半導体記憶装置の一例とされるSRAMの別の構成例について説明する。

#### 【0065】

上記の例ではマルチポートのSRAMについて説明したが、一つのポートがデータの入出力に兼用されるシングルポートの場合においても、上記マルチポートの場合と同様の作用効果を得ることができる。

#### 【0066】

図2には、シングルポートの場合のデコード部181及びクロック発生部185の構成例が示される。

#### 【0067】



図 2 に示されるデコード部 1 8 1 は、複数のアドレスバッファ 4 1、複数のデコード・ワードドライバ 4 2、複数のデコード・カラムドライバ 4 3、及びデコード線 4 4 を含み、リード及びライトにおいてそれらが兼用される。

#### 【0 0 6 8】

上記複数のアドレスバッファ 4 1 は、外部から入力されたアドレス信号 A 0 ~ A n をクロック信号に同期して取り込む。この場合のクロック信号は、後述するようにセクタ 3 1 を介して取り込まれる。上記複数のアドレスバッファ 4 1 の出力信号は、デコード線 4 4 を介して複数のデコード・ワードドライバ 4 2、及び複数のデコード・カラムドライバ 4 3 に取り込まれる。複数のデコード・ワードドライバ 4 2 は、上記デコード線 4 4 を介して入力された信号をデコードするためのデコーダと、そのデコード結果に基づいてワード線を選択レベルに駆動するためのワードドライバとを含む。このワードドライバによるワード線駆動は、リードワードドライバ用クロック信号 c k x r に同期して行われる。複数のデコード・カラムドライバ 4 3 は、上記デコード線 4 4 を介して入力された信号をデコードするためのリードデコーダと、そのデコード結果に基づいて、リードライト部 1 8 3 におけるカラム選択回路を駆動するためのカラムドライバとを含む。このカラムドライバによるカラム選択回路の駆動は、クロック信号に同期して行われる。この場合のクロック信号は後述するようにセクタ 3 3 を介して取り込まれる。尚、ビット線をプリチャージするためのビット線プリチャージ回路を駆動するためのビット線プリチャージドライバ 4 5 が設けられる。このビット線プリチャージドライバ 4 5 は、後述するようにセクタ 3 3 を介して取り込まれるクロック信号に同期して上記ビット線プリチャージ回路を駆動する。

#### 【0 0 6 9】

クロック発生部 1 8 5 は、図 1 に示される場合と同一構成とされる。ただし、デコード部 1 8 1 がリードライトで兼用される関係で、クロック発生部 1 8 5 で得られたクロック信号をリードライトセレクト信号 R / W s e l e c t に基づいて選択するためのセクタ 3 1, 3 2, 3 3 が設けられる。

#### 【0 0 7 0】

セクタ 3 1 は、パルスジェネレータ 1 1 1 から出力されたリードアドレスバ

ッファ用クロック信号  $ckpr$  と、パルスジェネレータ 112 から出力されたライトアドレスバッファ用クロック信号  $ckpw$  とを選択的に上記複数のアドレスバッファ 41 に伝達する。すなわち、リードサイクルにおいてリードライトセレクト信号  $R/W\ select$  がハイレベルとされるとき、パルスジェネレータ 111 から出力されたリードアドレスバッファ用クロック信号  $ckpr$  がセクタ 31 を介して上記複数のアドレスバッファ 41 に伝達される。そして、ライトサイクルにおいてリードライトセレクト信号  $R/W\ select$  がローレベルとされるとき、パルスジェネレータ 112 から出力されたライトアドレスバッファ用クロック信号  $ckpw$  がセクタ 31 を介して上記複数のアドレスバッファ 41 に伝達される。

#### 【0071】

セクタ 32 は、パルスジェネレータ 113 から出力されたリードワードドライバ用クロック信号  $ckxr$  と、パルスジェネレータ 114 から出力されたライトワードドライバ用クロック信号  $ckxw$  とを選択的に上記複数のアドレスバッファ 41 に伝達する。すなわち、リードサイクルにおいてリードライトセレクト信号  $R/W\ select$  がハイレベルとされたとき、パルスジェネレータ 113 から出力されたリードワードドライバ用クロック信号  $ckxr$  がセクタ 32 を介して上記ビット線プリチャージドライバ 45 に伝達される。そして、ライトサイクルにおいてリードライトセレクト信号  $R/W\ select$  がローレベルとされたとき、パルスジェネレータ 114 から出力されたリードワードドライバ用クロック信号  $ckxw$  がセクタ 32 を介して上記ビット線プリチャージドライバ 45 に伝達される。

#### 【0072】

セクタ 33 は、パルスジェネレータ 115 から出力されたリードカラムドライバ用クロック信号  $ckyr$  と、パルスジェネレータ 116 から出力されたライトカラムドライバ用クロック信号  $ckyw$  とを選択的に上記複数のデコード及びカラムドライバ 43 に伝達する。すなわち、リードサイクルにおいてリードライトセレクト信号  $R/W\ select$  がハイレベルとされたとき、パルスジェネレータ 115 から出力されたリードカラムドライバ用クロック信号  $ckyr$  がセ

レクタ 3 3 を介して上記複数のデコード及びカラムドライバ 4 3 に伝達される。そして、ライトサイクルにおいてリードライトセレクト信号  $R/W \text{ select}$  がローレベルとされたとき、パルスジェネレータ 1 1 6 から出力されたライトカラムドライバ用クロック信号  $ck_{yw}$  がセクタ 3 3 を介して上記複数のデコード及びカラムドライバ 4 3 に伝達される。

#### 【0 0 7 3】

このように図 2 に示される構成では、シングルポート構成とされることで、デコード部 1 8 1 やビット線プリチャージドライバ 4 5 がリードライトで兼用されているにもかかわらず、リードライトセレクト信号  $R/W \text{ select}$  によって選択動作されるセクタ 3 1, 3 2, 3 3 を設け、クロック発生部 1 8 5 で発生されたクロック信号を選択的にデコード部 1 8 1 やビット線プリチャージドライバ 4 5 に供給しているため、図 1 に示される構成の場合と同様の作用効果を得ることができる。

#### 【0 0 7 4】

また、このシングルポートの場合においても、リード系とライト系とでクロック信号のパルス幅を個別的に調整することができるため、タイミングの最適化により動作速度の向上を図ることができる。

#### 【0 0 7 5】

ここで、シングルポート（特に小振幅動作）においては、リードパルス幅がライトパルス幅よりも広く、メモリセル内部ノードの容量が小さく、ライト時間が高速とされる。サイクル時間を決定する要因として、リードサイクルの後にライトサイクルが来る「ライト・アフター・リード」（図 4（A））時と、リードサイクルの後にリードサイクルが来る「リードアフターリード」（図 4（B））時とがある。リードサイクルにおけるクロック信号と、ライトサイクルにおけるクロック信号とのパルス幅が同一の場合には、「ライト・アフター・リード」（図 4（A））に制約される。それに対して、図 4（C）に示されるように、ライト時のワード線駆動のための信号、及びカラム選択信号のパルス幅を最適化（小さく）することにより、最小の「リード・アフター・リード」で決まるサイクルまで高速サイクル動作が可能になる。

**【0076】**

図5には、SRAMの内部クロック信号をリード、ライトのそれぞれにおいて2ポート化した場合の構成例が示される。また、図23には、図5におけるクロック発生部185の詳細な構成例が示される。

**【0077】**

図5に示される回路構成が図1に示されるのと大きく相違するのは、リード用としてAポート及びBポートの2ポートを備え、ライト用としてAポート及びBポートの2ポートを備える点である。また、クロック発生部185は、図23に示されるように、上記多ポート化に対応してパルスジェネレータの個数が増えている。

**【0078】**

すなわち、デコード部181は、リード用デコード部10とライト用デコード部20とを含み、上記リード用デコード部10は、Aポート側リード用デコード部10Aと、Bポート側リード用デコード部10Bとを含み、上記ライト用デコード部20は、Aポート側ライト用デコード部20Aと、Bポート側ライト用デコード部20Bとを含む。

**【0079】**

Aポート側リード用デコード部10Aと、Bポート側リード用デコード部10Bとは、添え字A、Bを付することで区別されるが、基本的には、図1に示されるリード用デコード部10と同一構成とされる。

**【0080】**

また、Aポート側ライト用デコード部20Aと、Bポート側ライト用デコード部20Bとは、添え字A、Bを付することで区別されるが、基本的には、図1に示されるライト用デコード部20と同一構成とされる。

**【0081】**

さらに図5に示されるクロック発生部185は、Aポート側パルスジェネレータ111A、112A、113A、114A、115A、116Aと、Bポート側パルスジェネレータ111B、112B、113B、114B、115B、116Bとを含んで成る。上記Aポート側パルスジェネレータとBポート側パルス

ジェネレータとは、添え字 A, B を付することで区別されるが、基本的には、図 1 に示されるパルスジェネレータ 111, 112, 113, 114, 115, 116 と同一構成とされ、それぞれ対応するパルス幅制御信号  $PWRPA<0-o>$ ,  $PWRPB<0-p>$ ,  $PWRXA<0-q>$ ,  $PWRXB<0-r>$ ,  $PWRYA<0-s>$ ,  $PWRYB<0-t>$ ,  $PWRYB<0-u>$ ,  $PWRYB<0-v>$ ,  $PWRYB<0-w>$ ,  $PWRYB<0-x>$ ,  $PWRYB<0-y>$ ,  $PWRYB<0-z>$  に応じてクロック信号のパルス幅の調整が可能とされる。

#### 【0082】

このように SRAM の内部クロック信号をリード、ライトのそれぞれにおいて 2 ポート化した場合においても、内部クロック信号がリード用、ライト用で分離され、このリード用、ライト用がさらに A ポート、B ポートで分離され、さらに、内部構成ブロック単位で分離されることにより、クロックパルスのパルス幅制御を行うことで、上記の例の場合と同様の作用効果を得ることができる。

#### 【0083】

尚、SRAM の内部クロック信号をリード又はライトの何れかが 2 ポート化されている場合においては、当該ポートにおいて、図 5 に示される構成を採用することによって、同様の作用効果を得ることができる。

#### 【0084】

図 7 には、クロック発生部 185 の別の構成例が示され、図 10 には、図 7 における主要部の動作タイミングが示される。

#### 【0085】

図 7 において、クロック発生部 185 は、インバータ列 900 と、ディレイヤー 701, 702, 703, 801, 802, 803 と、ゲート回路 711, 712, 713, 821, 822, 823 を含んで成る。ディレイヤー 701, 702, 703, 801, 802, 803 は、特に制限されないが、上記の構成例の場合と同様に、図 12 乃至図 14 に示される回路構成を採用することができる。上記インバータ列 900 は、特に制限されないが、3 個のインバータが互いに直列接続され、入力端子を介して伝達されたクロック信号を取り込む。このイン

バータ列 900 から出力されたクロック信号  $ckp$  は、上記ディレイヤー 701, 801、及び上記ゲート回路 711, 821 に供給される。

#### 【0086】

上記ディレイヤー 701 は、上記インバータ列 900 から伝達されたクロック信号  $ckp$  を遅延させることで、リードアドレスバッファ用クロック信号  $dc k p r$  を得る。ゲート回路 711 は、上記複数のアドレスバッファ 11 における個々のアドレスバッファに対応して配置され、上記インバータ列 900 から伝達されたクロック信号  $ckp$  と、上記ディレイヤー 701 からリードアドレスバッファ用クロック信号  $dc k p r$  とのノア論理を得る。アドレスバッファ 11 は、対応するゲート回路 711 から出力されたクロック信号  $ck b r$  に同期してアドレス信号  $AR0 \sim ARn$  を取り込む。上記ゲート回路 711 から出力されたクロック信号  $ck b r$  のパルス幅は、上記ディレイヤー 701 での遅延時間によって決定される。上記ディレイヤー 701 での遅延時間は、パルス幅制御信号  $PWRP < 0 - o >$  によって切り換えることができる。これによりクロック信号  $ck b r$  のパルス幅はパルス幅制御信号  $PWRP < 0 - o >$  によって調整可能とされる。

#### 【0087】

上記ディレイヤー 702 は、上記デコード線 14 における所定の信号線のノア論理を得るゲート回路 601 の出力信号を遅延させることによりリードワードドライバ用クロック信号  $dc k x r$  を得る。ゲート回路 712 は、上記複数のデコード・ワードドライバ 12 における個々のデコード・ワードドライバに対応して配置され、当該デコード・ワードドライバ内のデコーダ  $d e c$  の出力信号  $i x r$  と、上記ディレイヤー 702 から出力されたリードワードドライバ用クロック信号  $dc k x r$  とのノア論理を得る。このゲート回路 712 の出力信号  $o x r$  に基づいてワード線選択が行われる。上記ゲート回路 712 から出力された信号  $o x r$  のパルス幅は、上記ディレイヤー 702 での遅延時間によって決定される。上記ディレイヤー 702 での遅延時間は、パルス幅制御信号  $PWRX < 0 - q >$  によって切り換えることができる。これにより上記信号  $o x r$  のパルス幅はパルス幅制御信号  $PWRX < 0 - q >$  によって調整可能とされる。

#### 【0088】

上記ディレイヤー 703 は、上記デコード線 14 における所定の信号線のノア論理を得るゲート回路 602 の出力信号を遅延させることによりリードカラムドライバ用クロック信号  $dckyr$  を得る。ゲート回路 713 は、上記複数のデコード・カラムドライバ 13 における個々のデコード・カラムドライバに対応して配置され、当該デコード・カラムドライバ内のデコーダ  $dec$  の出力信号  $iy_r$  と、上記ディレイヤー 703 から出力されたリードカラムドライバ用クロック信号  $dckyr$  とのノア論理を得る。このゲート回路 713 の出力信号  $oy_r$  に基づいてリード系のカラム選択が行われる。

#### 【0089】

上記ゲート回路 713 から出力された信号  $oy_r$  のパルス幅は、上記ディレイヤー 703 での遅延時間によって決定される。上記ディレイヤー 703 での遅延時間は、パルス幅制御信号  $PWRY<0-s>$  によって切り換えることができる。これにより上記信号  $oy_r$  のパルス幅はパルス幅制御信号  $PWRY<0-s>$  によって調整可能とされる。

#### 【0090】

上記ディレイヤー 801 は、上記インバータ列 900 から伝達されたクロック信号  $ckp$  を遅延させることで、ライトアドレスバッファ用クロック信号  $dckpw$  を得る。ゲート回路 821 は、上記複数のアドレスバッファ 21 における個々のアドレスバッファに対応して配置され、上記インバータ列 900 から伝達されたクロック信号  $ckp$  と、上記ディレイヤー 801 からのライトアドレスバッファ用クロック信号  $dckpw$  とのノア論理を得る。アドレスバッファ 21 は、対応するゲート回路 821 から出力されたクロック信号  $ckbw$  に同期してアドレス信号  $AW0 \sim AWn$  を取り込む。上記ゲート回路 821 から出力されたクロック信号  $ckbw$  のパルス幅は、上記ディレイヤー 801 での遅延時間によって決定される。上記ディレイヤー 801 での遅延時間は、パルス幅制御信号  $PWWP<0-p>$  によって切り換えることができる。これによりクロック信号  $ckbw$  のパルス幅はパルス幅制御信号  $PWWP<0-p>$  によって調整可能とされる。

#### 【0091】

上記ディレイヤー 8 0 2 は、上記デコード線 2 4 における所定の信号線のノア論理を得るゲート回路 6 0 3 の出力信号を遅延させることによりライトワードドライバ用クロック信号  $dckxw$  を得る。ゲート回路 7 2 2 は、上記複数のデコード・ワードドライバ 2 2 における個々のデコード・ワードドライバに対応して配置され、当該デコード・ワードドライバ内のデコーダ  $dec$  の出力信号  $ixw$  と、上記ディレイヤー 8 0 2 から出力されたリードワードドライバ用クロック信号  $dckxw$  とのノア論理を得る。このゲート回路 7 1 2 の出力信号  $oxw$  に基づいてワード線選択が行われる。上記ゲート回路 8 2 2 から出力された信号  $oxw$  のパルス幅は、上記ディレイヤー 8 0 2 での遅延時間によって決定される。上記ディレイヤー 8 0 2 での遅延時間は、パルス幅制御信号  $PWWX<0-r>$  によって切り換えることができる。これにより上記信号  $oxw$  のパルス幅はパルス幅制御信号  $PWWX<0-r>$  によって調整可能とされる。

#### 【0092】

上記ディレイヤー 8 0 3 は、上記デコード線 1 4 における所定の信号線のノア論理を得るゲート回路 6 0 4 の出力信号を遅延させることによりライトカラムドライバ用クロック信号  $dcky w$  を得る。ゲート回路 8 2 3 は、上記複数のデコード・カラムドライバ 2 3 における個々のデコード・カラムドライバに対応して配置され、当該デコード・カラムドライバ内のデコーダ  $dec$  の出力信号  $iyw$  と、上記ディレイヤー 8 0 3 から出力されたライトカラムドライバ用クロック信号  $dcky w$  とのノア論理を得る。このゲート回路 8 2 3 の出力信号  $oyw$  に基づいてライト系のカラム選択が行われる。

#### 【0093】

上記ゲート回路 8 2 3 から出力された信号  $oyw$  のパルス幅は、上記ディレイヤー 8 0 3 での遅延時間によって決定される。上記ディレイヤー 8 0 3 での遅延時間は、パルス幅制御信号  $PWWY<0-t>$  によって切り換えることができる。これにより上記信号  $oyw$  のパルス幅はパルス幅制御信号  $PWWY<0-t>$  によって調整可能とされる。

#### 【0094】

上記の構成においては、図 1 0 において破線で示されるように、クロック信号



や、それに基づいて形成される信号のパルス幅を、リード系とライト系とで個別に調整可能であるのは勿論のこと、個々のディレイヤーディレイヤー 7 0 1, 7 0 2, 7 0 3, 8 0 1, 8 0 2, 8 0 3 毎に独立してクロック信号や、それに基づいて形成される信号のパルス幅を調整することができる。図 1 0 に示される例では、ゲート回路 7 1 1 から出力されたクロック信号 c k b r のパルス幅 (w i d t h) は “A” に調整され、ゲート回路 7 1 2 の出力信号 o x r のパルス幅は “B” に調整され、ゲート回路 7 1 3 の出力信号 o y r のパルス幅は “C” に調整され、c k b w のパルス幅は “D” に調整され、ゲート回路 8 2 1 から出力されたクロック信号 o x w のパルス幅は “E” に調整され、ゲート回路 8 2 3 の出力信号 o y w のパルス幅は “F” に調整される。

#### 【0 0 9 5】

図 8 には、図 7 に示される構成を採用した場合のチップレイアウト平面が示される。メモリセルアレイは 4 個のエリアに形成される。そして、チップ中央部において縦方向にデコード部 1 8 1 が配置され、横方向にリードライト部 1 8 3 が配置される。そして、チップ中央部において、デコード部 1 8 1 とリードライト部 1 8 3 とに挟まれるように、パルスジェネレータ、アドレスバッファ、カラムドライバ、ディレイヤーなどの形成エリア 9 1 0 が設けられる。

#### 【0 0 9 6】

図 9 には、上記パルスジェネレータ、アドレスバッファ、カラムドライバ、ディレイヤーなどの形成エリア 9 1 0 が拡大して示される。このエリア 9 1 0 の中央部には、横方向に複数のアドレスバッファ 1 1, 2 1 が配置され、そこに対応するゲート回路 7 1 1, 8 2 1 が分散配置される。そして、複数のアドレスバッファ 1 1, 2 1 が配置エリアを挟むように、ディレイヤー 7 0 2, 7 0 3, 8 0 2, 8 0 3 と、ディレイヤー 7 0 1, 8 0 1 とが配置される。インバータ列 9 0 0 は、上記ディレイヤー 7 0 1, 8 0 1 に近接配置される。

#### 【0 0 9 7】

図 1 1 には、上記クロック発生部 1 8 5 の別の構成例が示される。

#### 【0 0 9 8】

図 1 1 に示されるクロック発生部 1 8 5 が、図 7 に示されるのと異なるのは、

ライト系のアドレスバッファ用クロック信号を、リード系のアドレスバッファ用クロック信号に基づいて形成している点である。すなわち、ディレイヤー 8 0 1 では、上記ディレイヤー 7 0 1 から出力されたクロック信号 d c k p r を取り込んで、それを遅延することにより、クロック信号 d c k p w を得る。このように上記ディレイヤー 7 0 1 で遅延されたクロック信号 d c k p r を利用することにより、ディレイヤー 8 0 1 での遅延時間は短くて良いため、その分、ディレイヤー 8 0 1 の回路規模の縮小を図ることができる。

#### 【 0 0 9 9 】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【 0 1 0 0 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である S R A M に適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体記憶装置に広く適用することができる。

#### 【 0 1 0 1 】

本発明は、少なくとも複数のメモリセルが配列されて成るメモリセルアレイを含むことを条件に適用することができる。

#### 【 0 1 0 2 】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

#### 【 0 1 0 3 】

すなわち、リード系とライト系とでクロック信号のパルス幅を個別的に調整することができるため、リード系、ライト系でクロックパルスのパルス幅を最適に調整することができ、それにより、リード系、ライト系毎の検証評価を容易に行うことができ、その評価をレイアウト修正などにフィードバックすることができる。

##### 【図面の簡単な説明】

**【図 1】**

本発明にかかる半導体記憶装置の一例である S R A Mにおける主要部の構成例ブロック図である。

**【図 2】**

上記 S R A Mにおける主要部の別の構成例ブロック図である。

**【図 3】**

図 1 に示される回路構成を採用した場合の効果を説明するための波形図である。

**【図 4】**

図 2 に示される回路構成を採用した場合の効果を説明するための波形図である。

**【図 5】**

上記 S R A Mの内部クロック信号をリード、ライトのそれぞれにおいて 2 ポート化した場合の構成例ブロック図である。

**【図 6】**

上記 S R A Mの作用効果を説明するための説明図である。

**【図 7】**

上記 S R A Mにおける主要部の別の構成例ブロック図である。

**【図 8】**

上記 S R A Mにおける主要部のレイアウト説明図である。

**【図 9】**

上記 S R A Mにおける主要部のレイアウト説明図である。

**【図 1 0】**

上記 S R A Mにおける主要部の動作タイミング図である。

**【図 1 1】**

上記 S R A Mにおける主要部の別の構成例ブロック図である。

**【図 1 2】**

上記 S R A Mにおけるディレイヤーの構成例回路図である。

**【図 1 3】**

上記SRAMにおけるディレイヤーの別の構成例回路図である。

【図14】

上記SRAMにおけるディレイヤーの別の構成例回路図である。

【図15】

上記SRAMにおけるパルス幅制御信号の論理設定を可能とする手段の構成例回路図である。

【図16】

上記SRAMにおけるパルス幅制御信号の論理設定を可能とする手段の別の構成例回路図である。

【図17】

上記SRAMにおけるパルス幅制御信号の論理設定を可能とする手段の別の構成例回路図である。

【図18】

上記SRAMの全体的な構成例ブロック図である。

【図19】

上記SRAMにおける主要部の構成例回路図である。

【図20】

上記SRAMにおける主要部の構成例回路図である。

【図21】

図20に示される回路における主要部の動作タイミング図である。

【図22】

図18及び図1におけるクロック発生部の詳細な構成例ブロック図である。

【図23】

図5におけるクロック発生部の詳細な構成例ブロック図である。

【符号の説明】

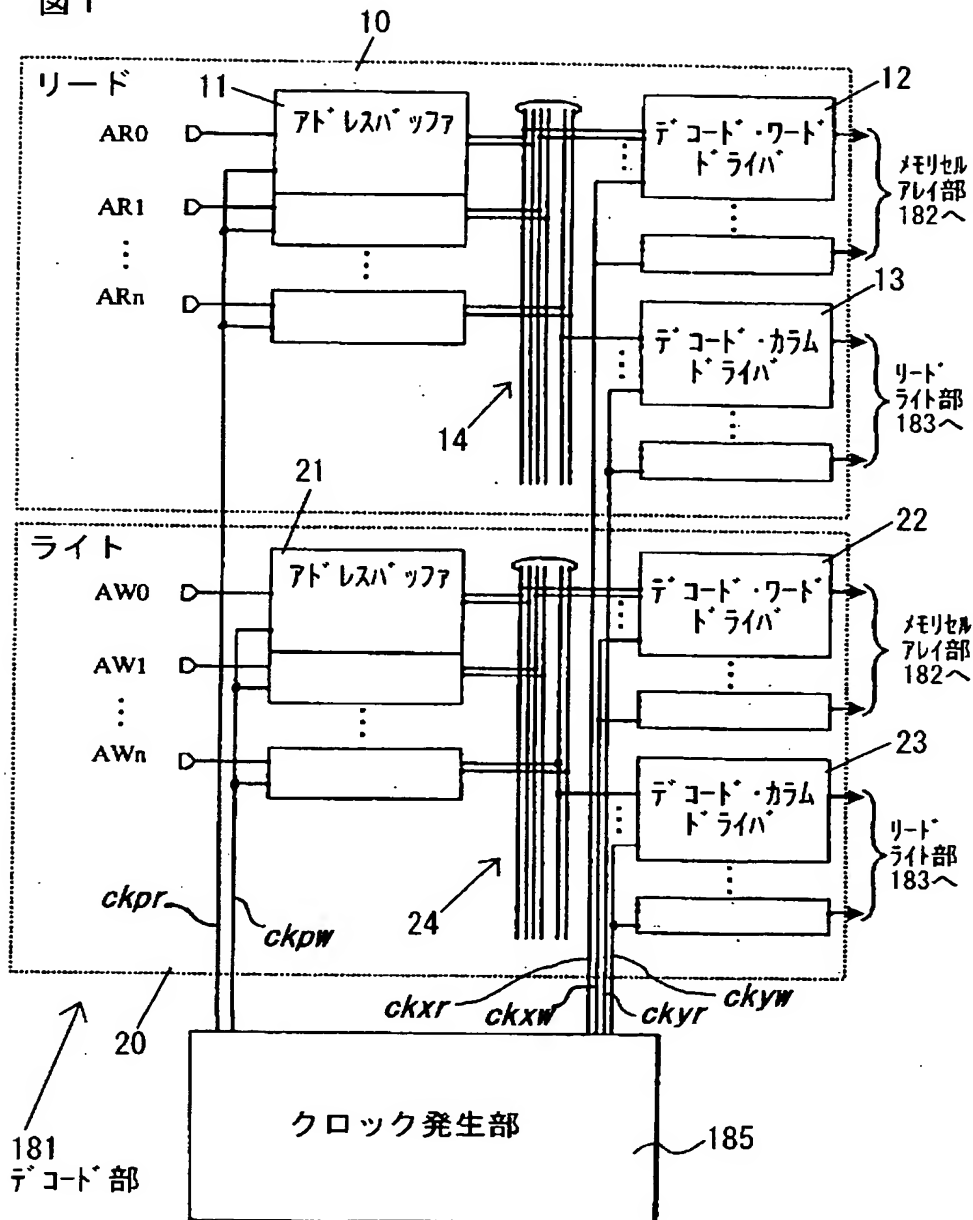
- 10 リード用デコード部
- 20 ライト用デコード部
- 11 アドレスバッファ
- 12 デコード・ワードドライバ

- 1 3 デコード・カラムドライバ
- 1 4 デコード線
- 2 1 アドレスバッファ
- 2 2 デコード・ワードドライバ
- 2 3 デコード・カラムドライバ
- 2 4 デコード線
- 4 1 アドレスバッファ
- 4 2 デコード・ワードドライバ
- 4 3 デコード・カラムドライバ
- 4 4 デコード線
- 4 5 ビット線プリチャージドライバ
- 1 1 1 ~ 1 1 6 パルスジェネレータ
- 1 8 0 S R A M
- 1 8 1 デコード部
- 1 8 2 メモリセルアレイ部
- 1 8 3 リード部
- 1 8 4 ライト部
- 1 8 5 クロック発生部
- 7 0 1, 7 0 2, 7 0 3, 8 0 1, 8 0 2, 8 0 3 デイレイヤー
- 7 1 1, 7 1 2, 7 1 3, 8 2 1, 8 2 2, 8 2 3 ゲート回路

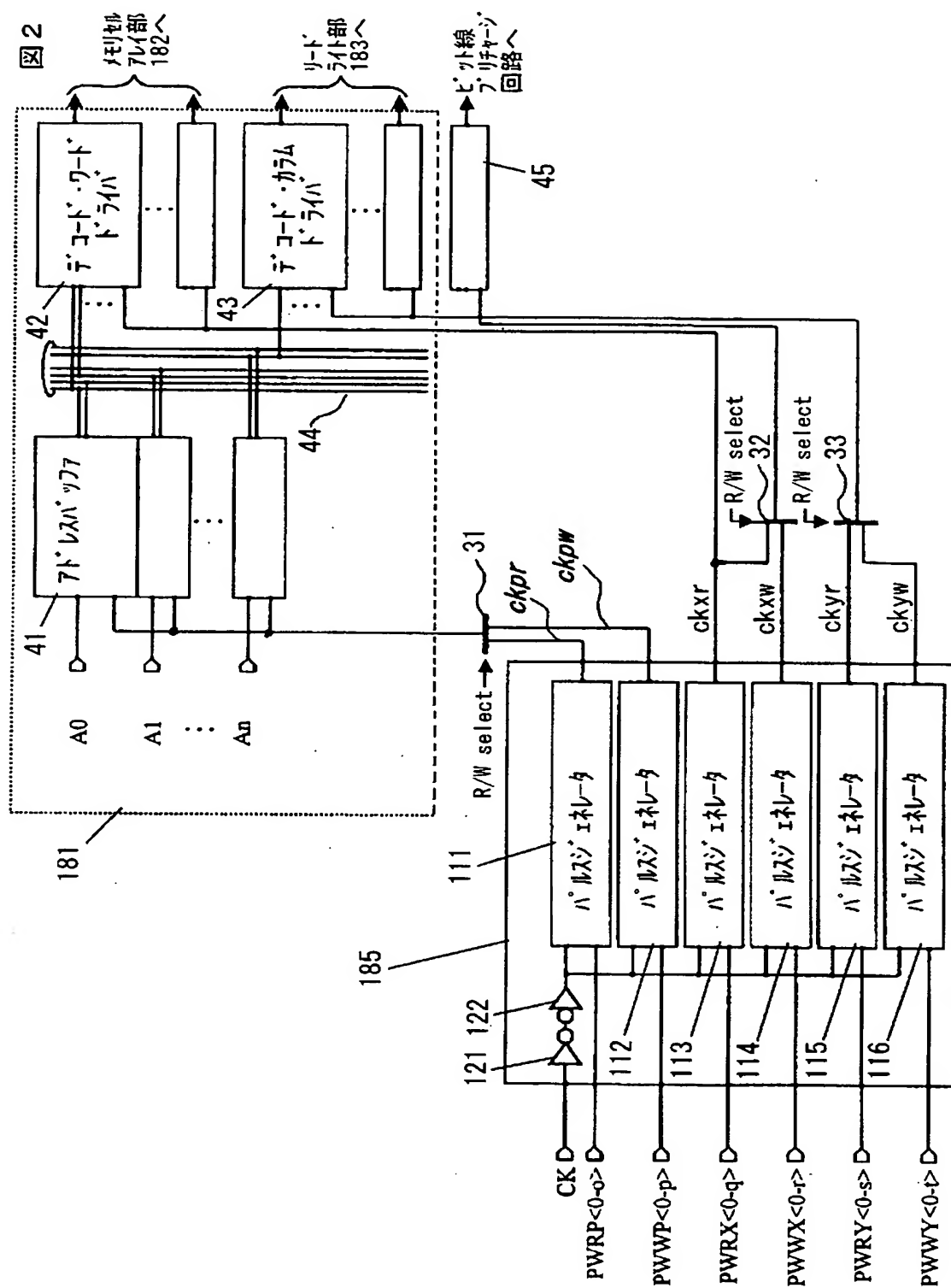
【書類名】 図面

【図1】

図1

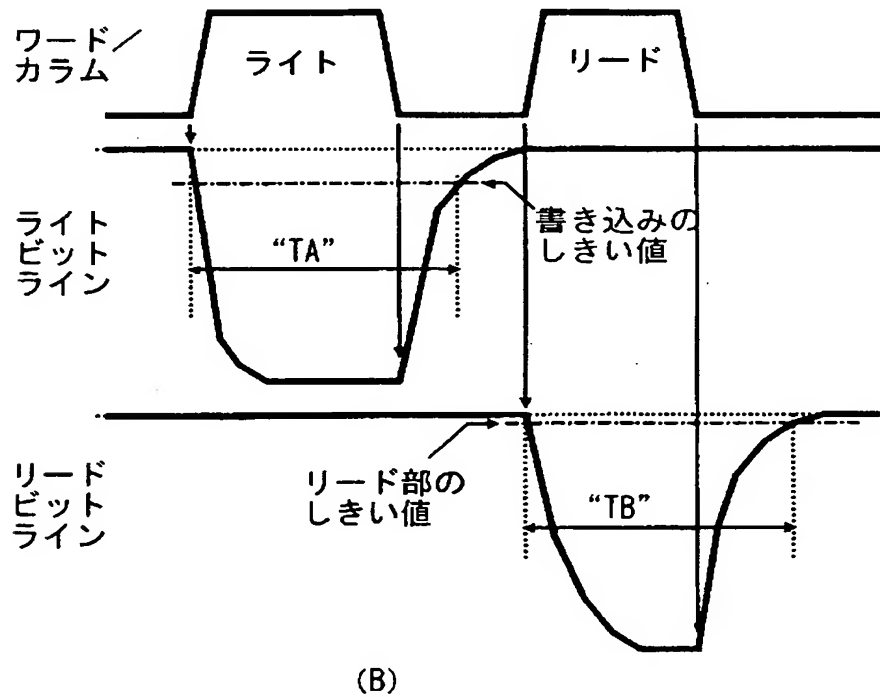
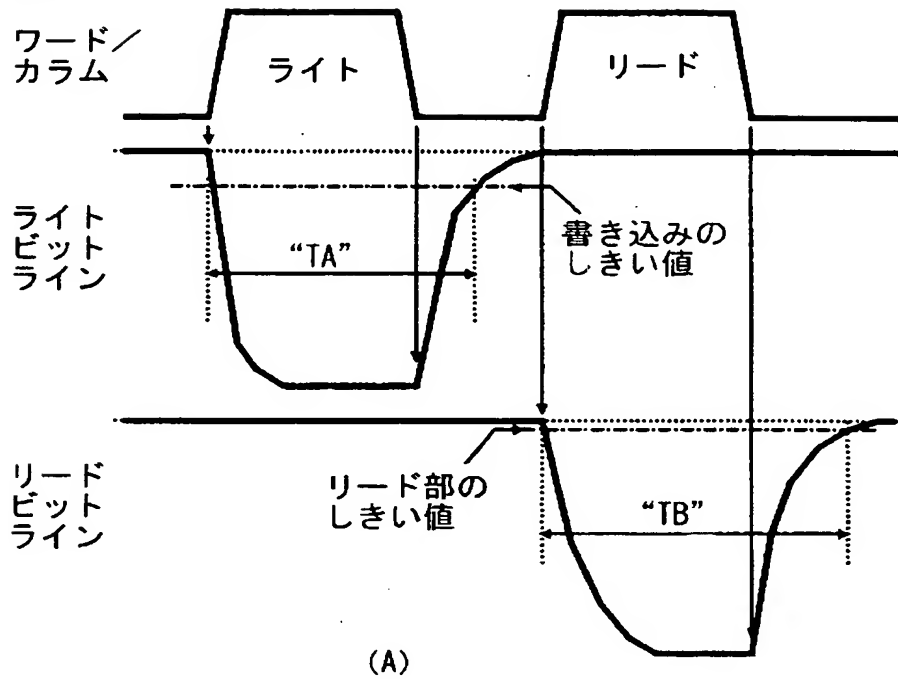


【図 2】



【図 3】

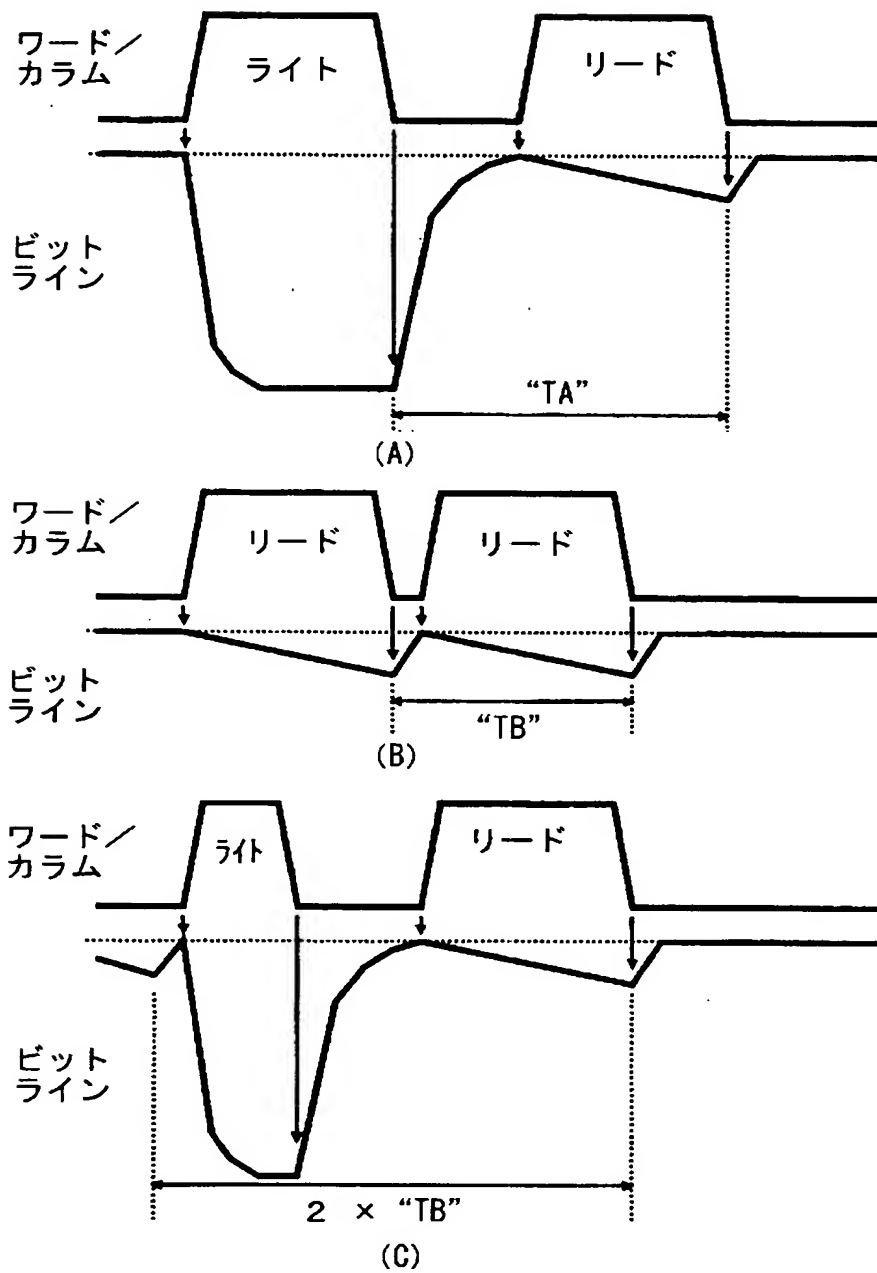
図 3



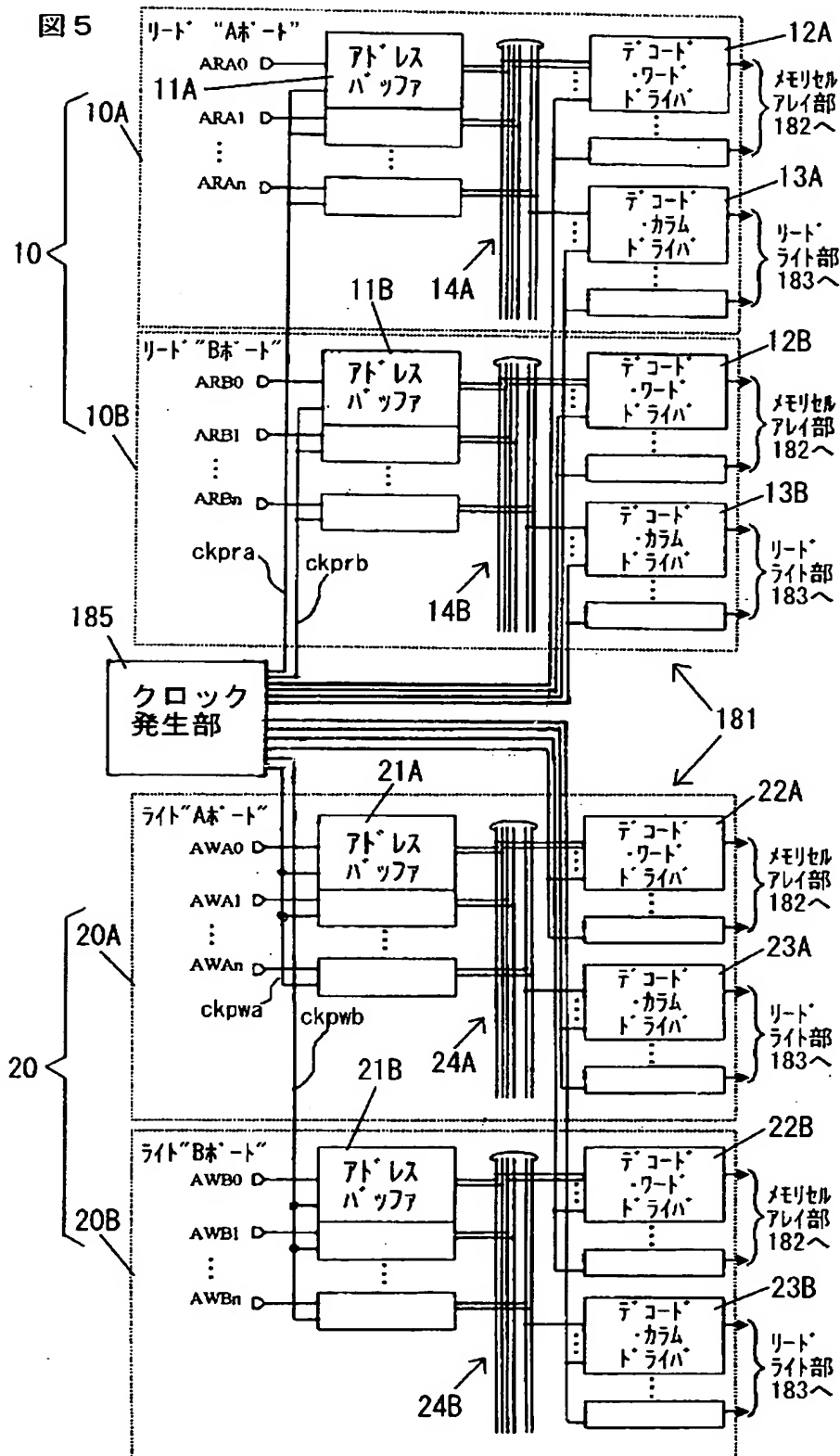


【図 4】

図 4

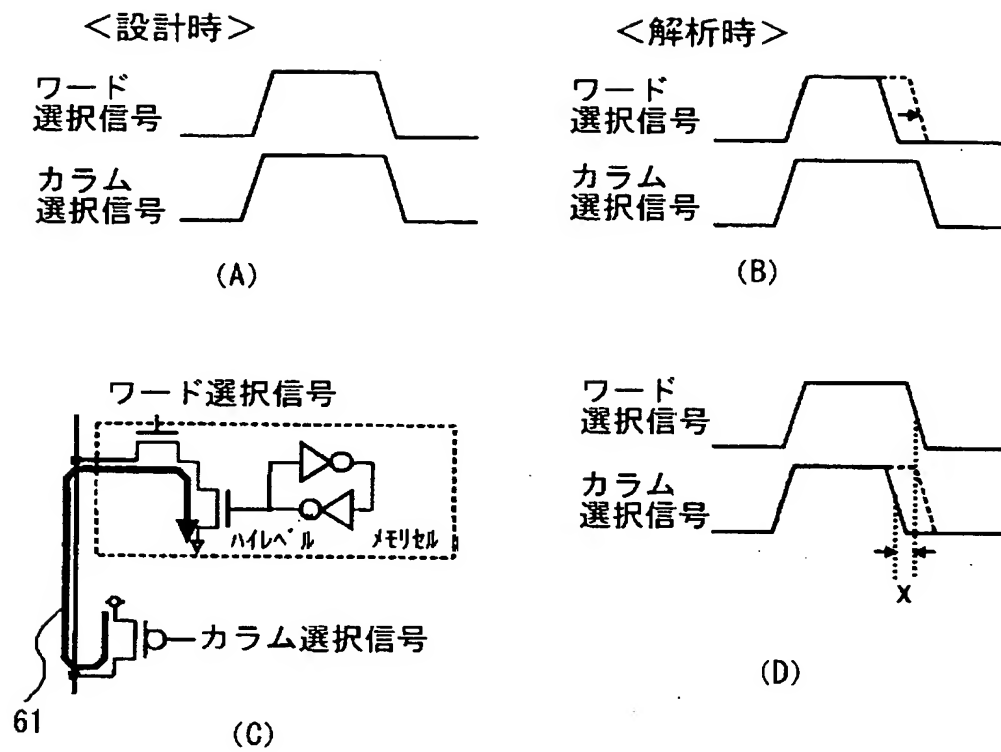


【図 5】

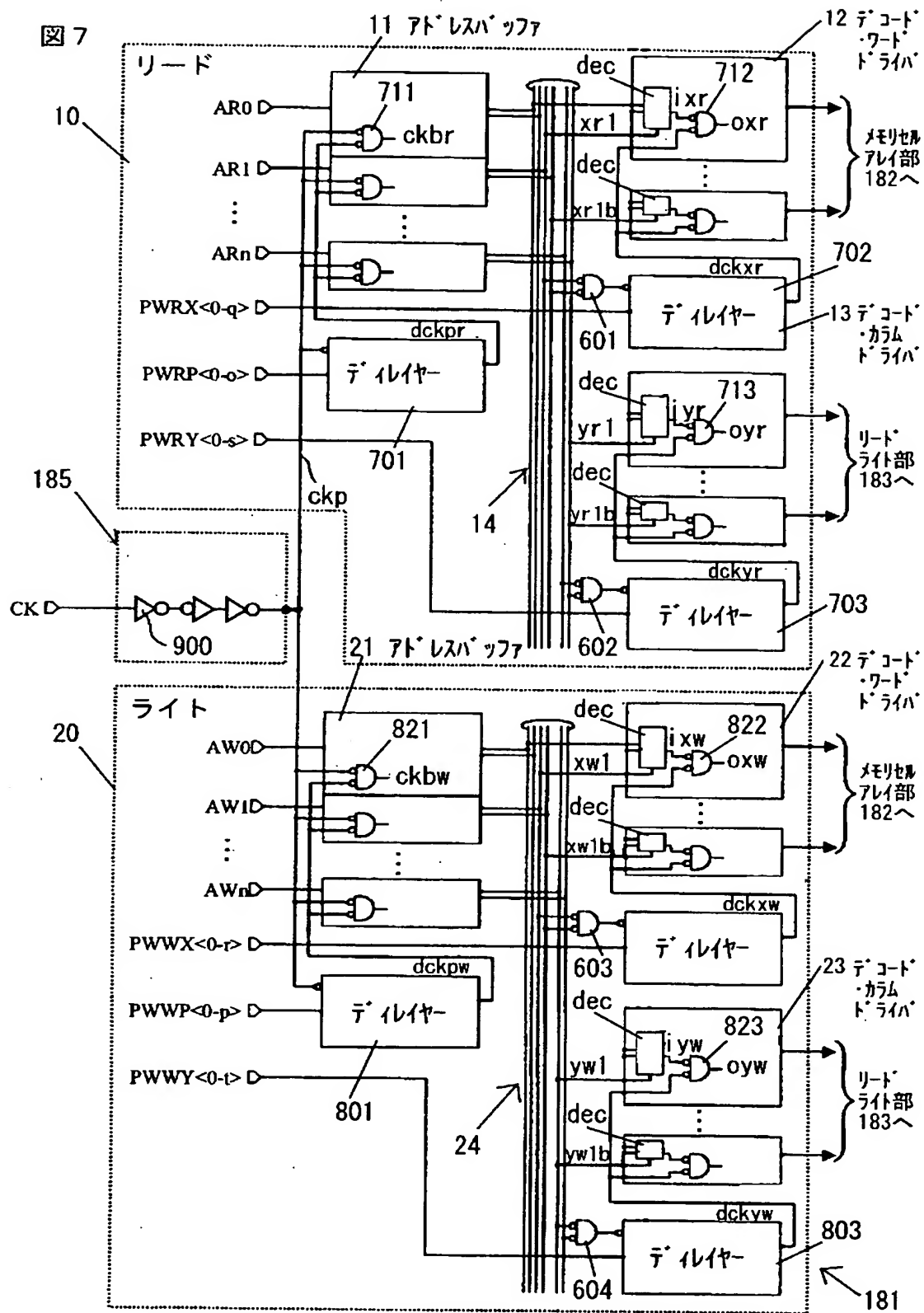


【図 6】

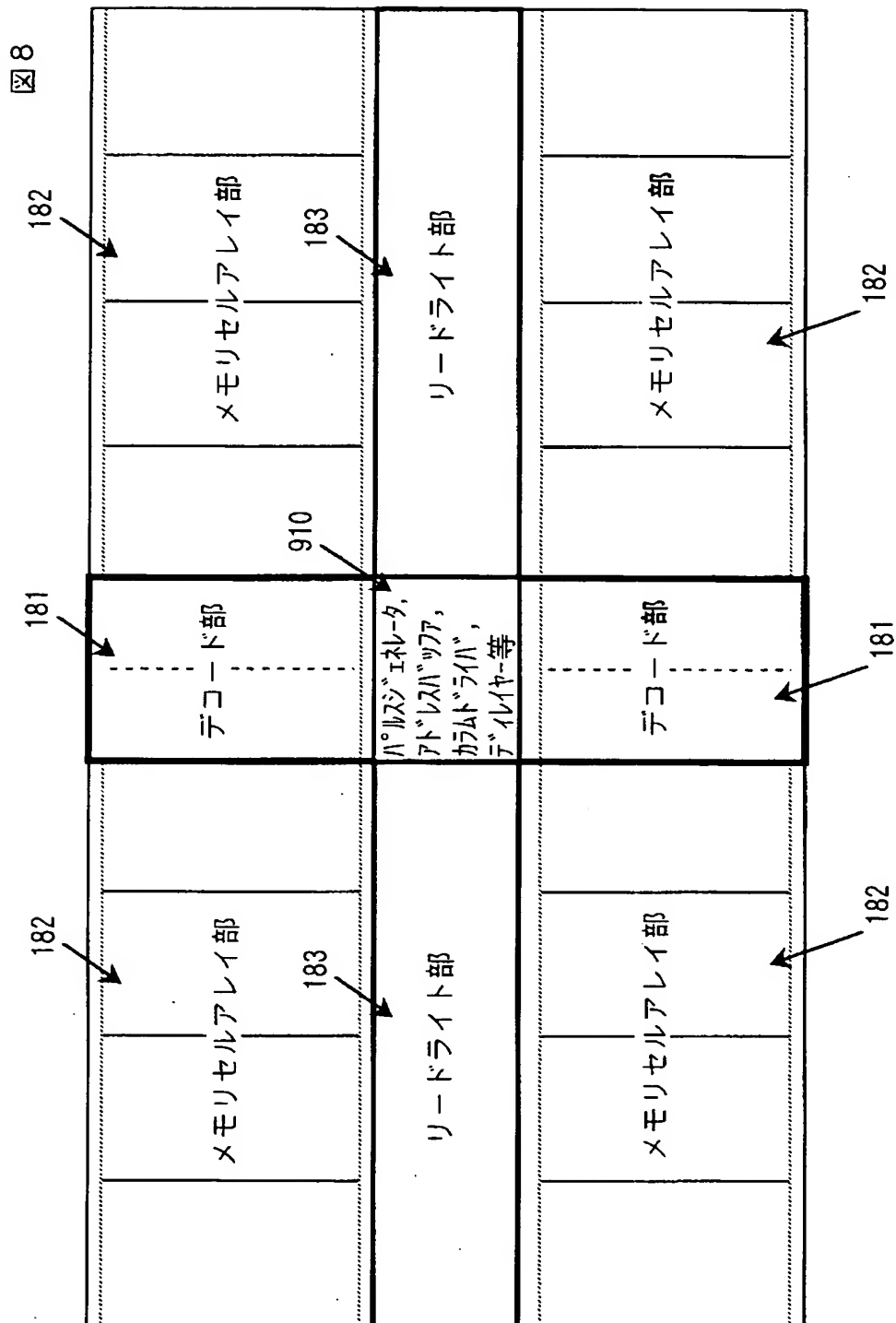
図 6



【図 7】

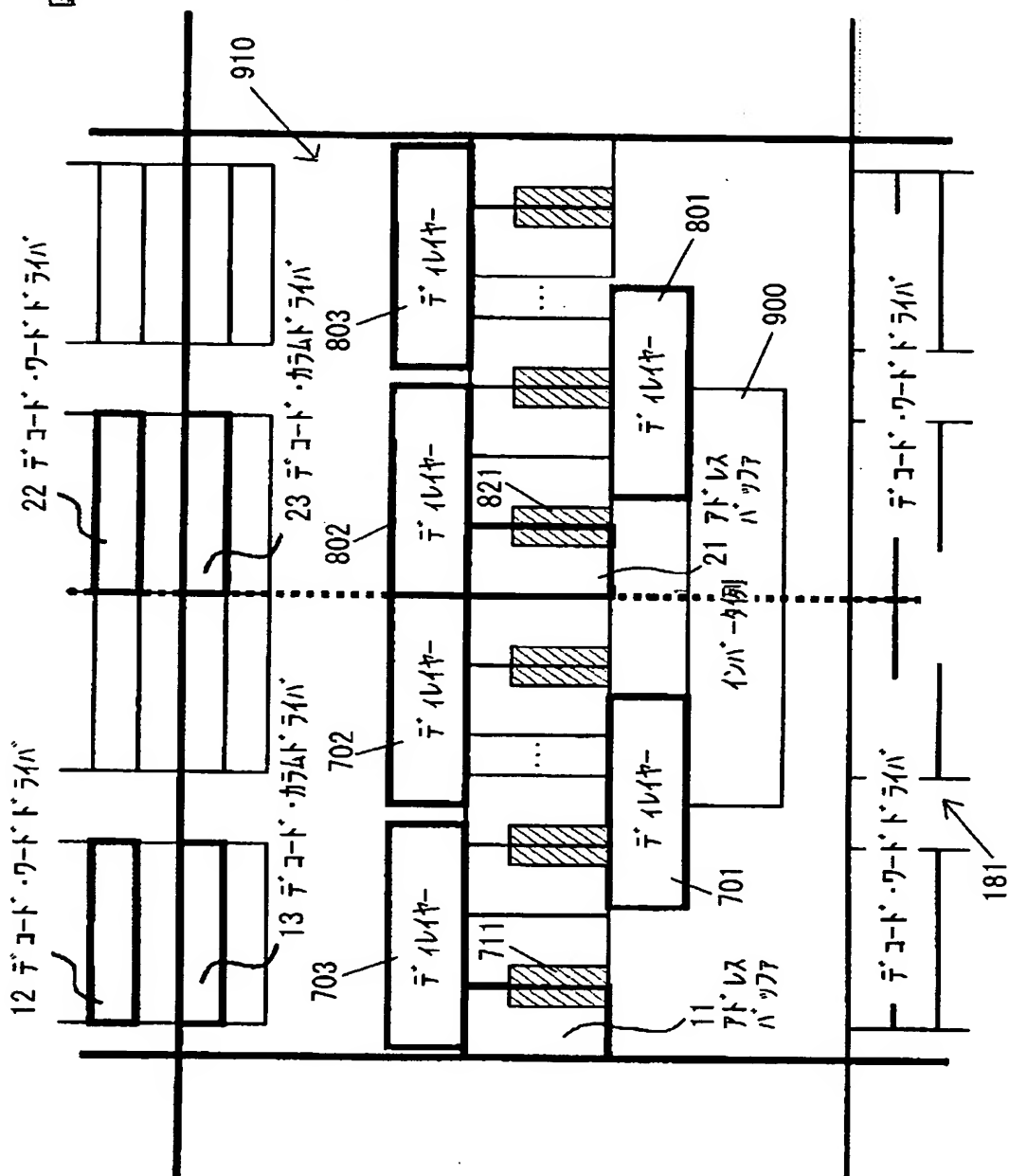


【図 8】

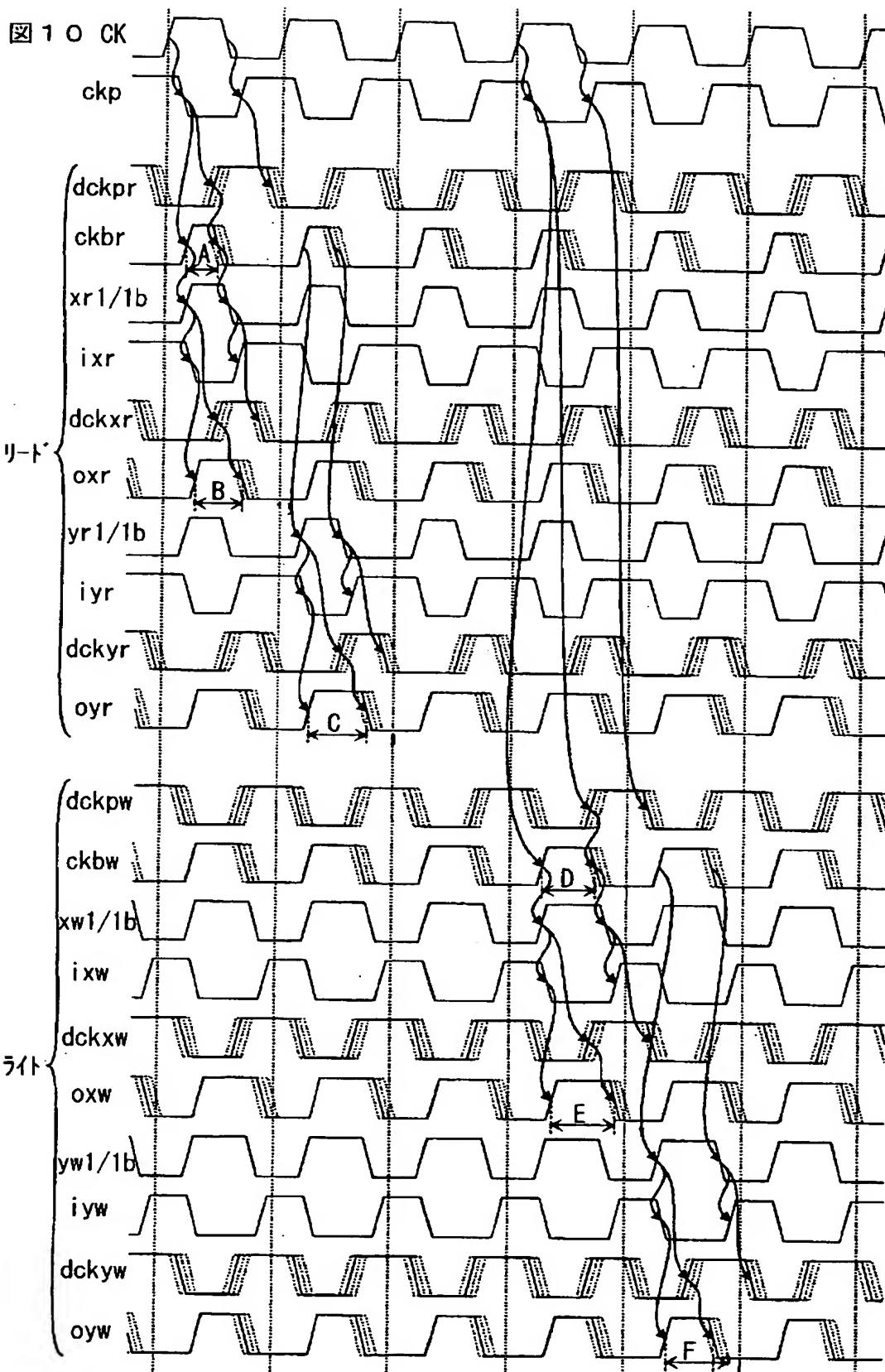


【図 9】

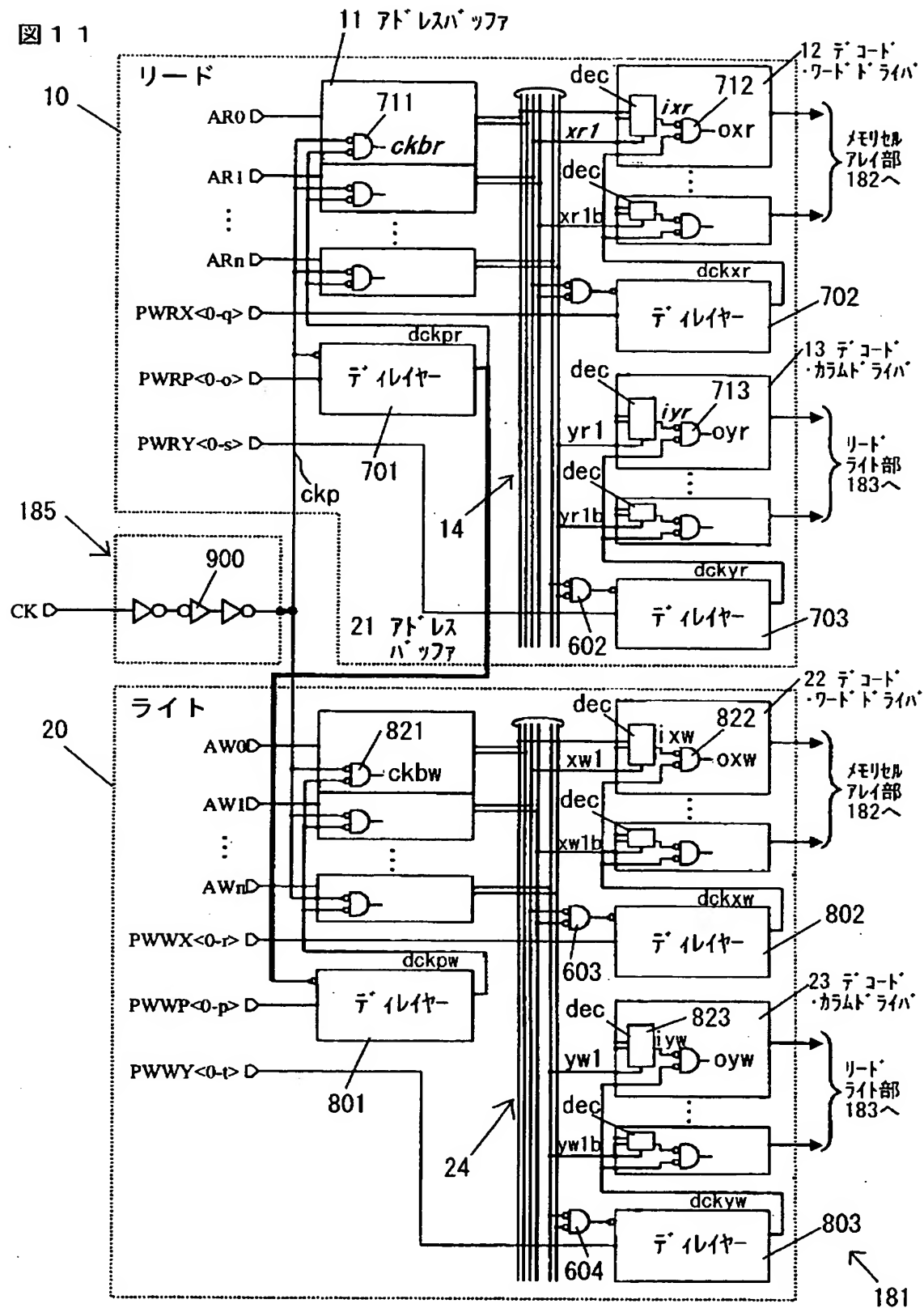
図 9



【図 10】

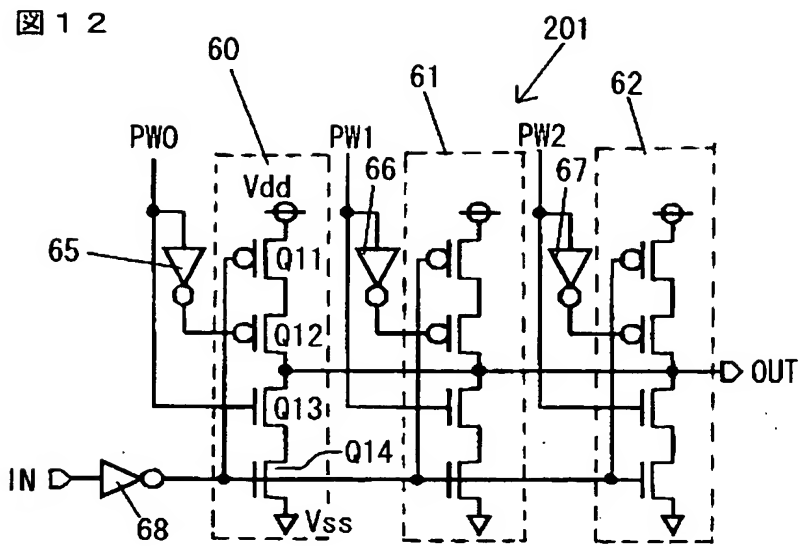


【図 1 1】

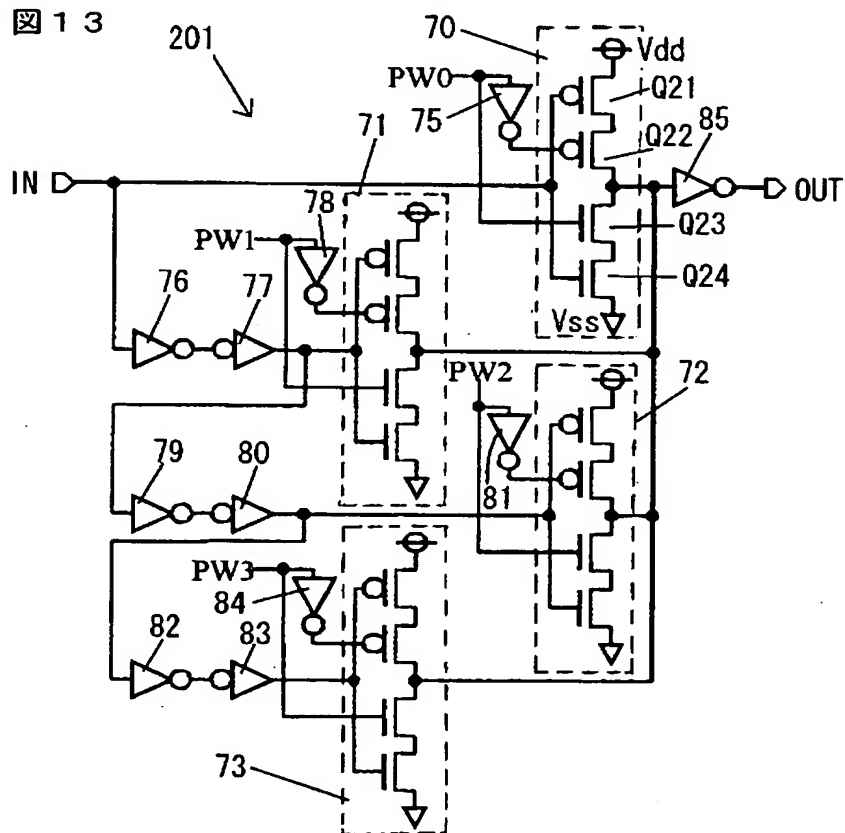




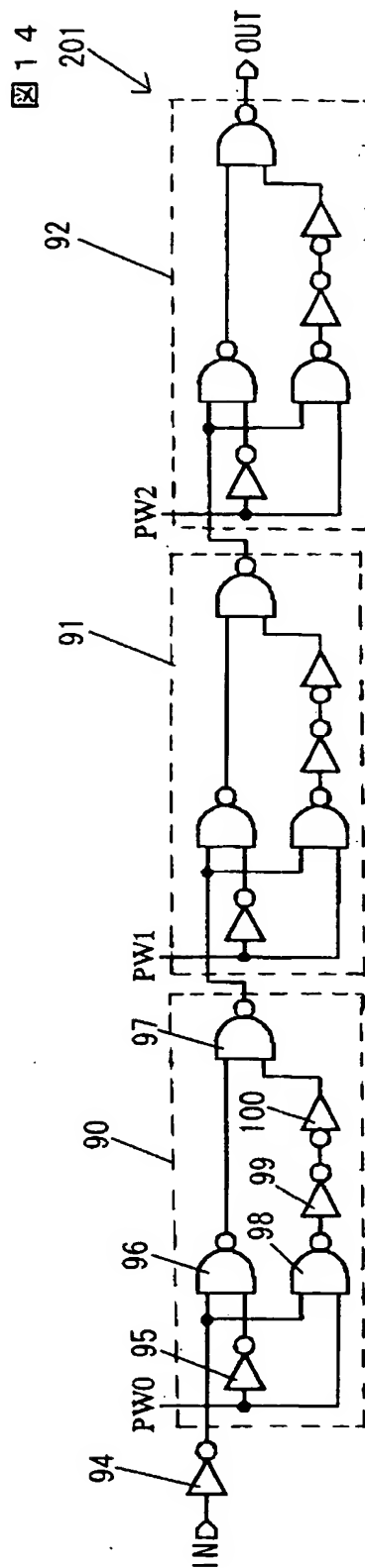
【図 12】



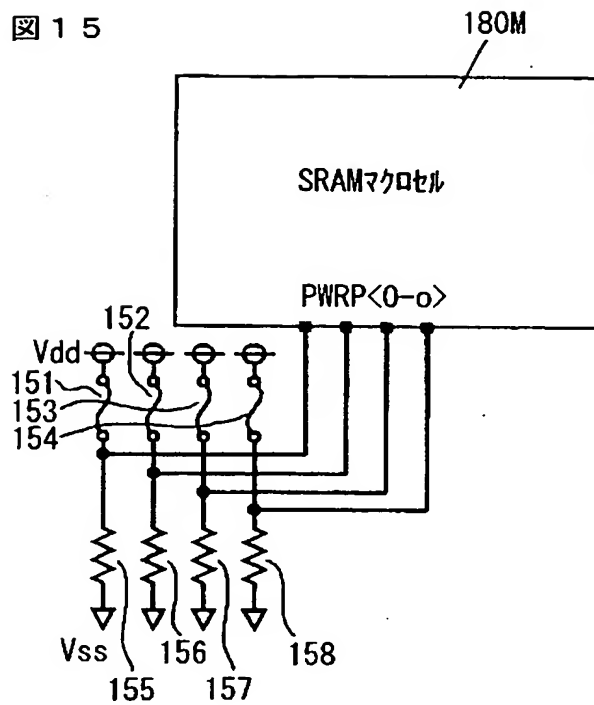
【図 13】



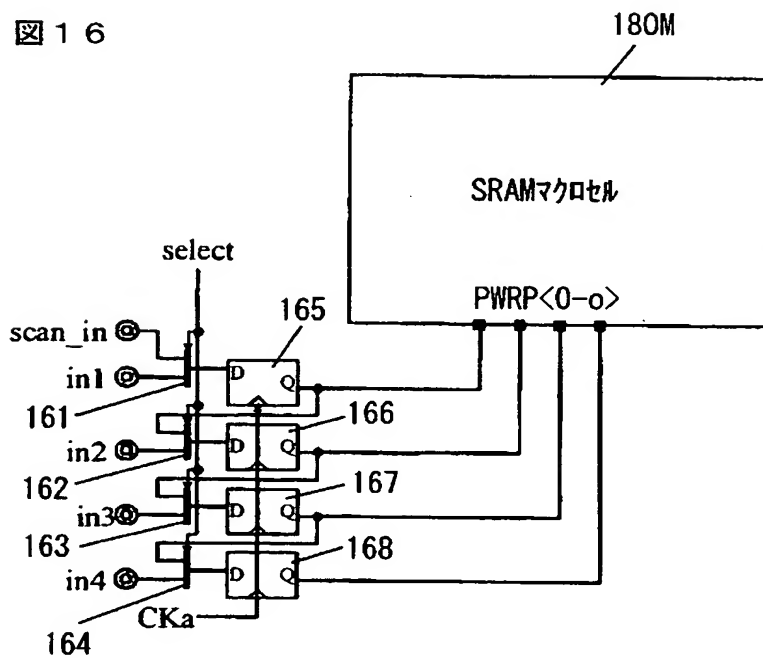
【図 14】



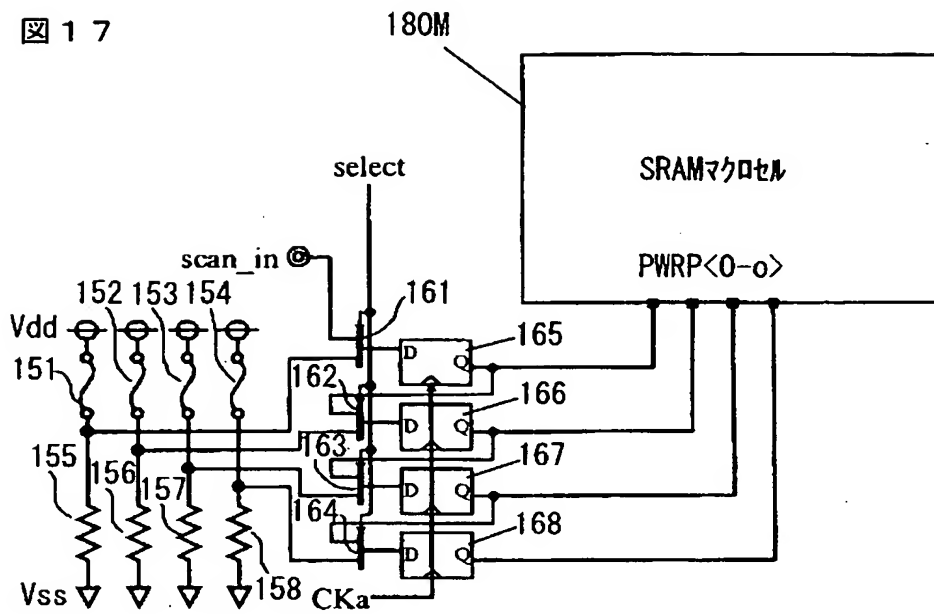
【図 1 5】



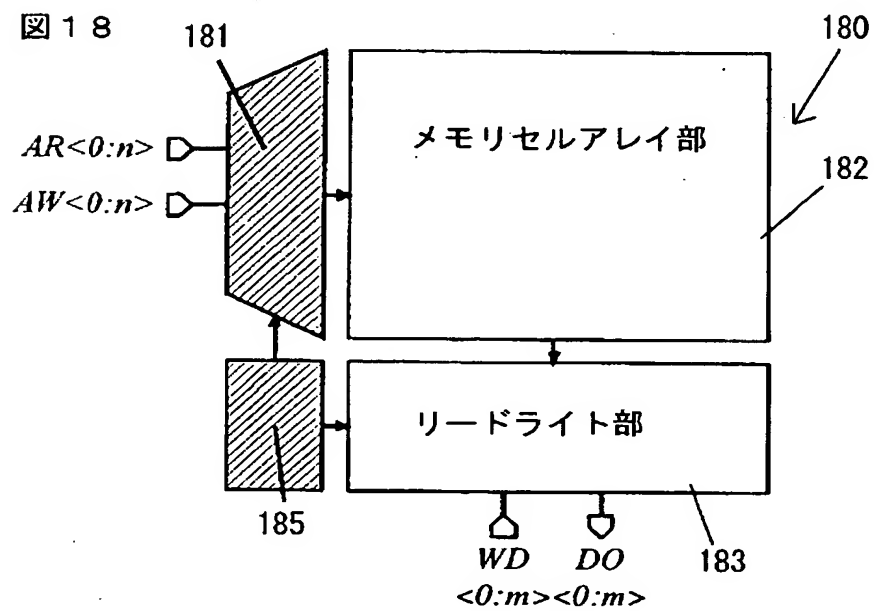
【図 1 6】



【図 17】

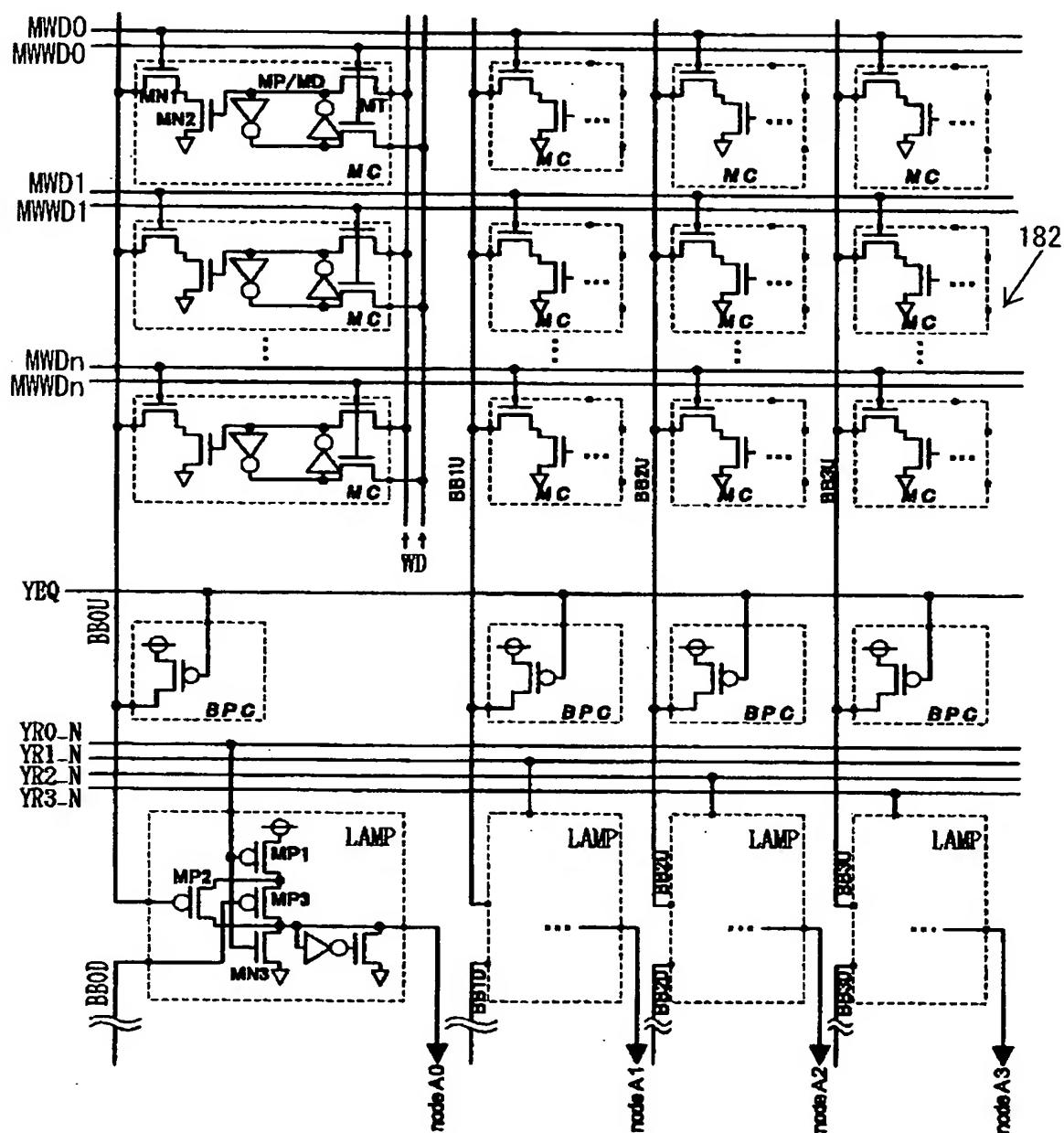


【図 18】



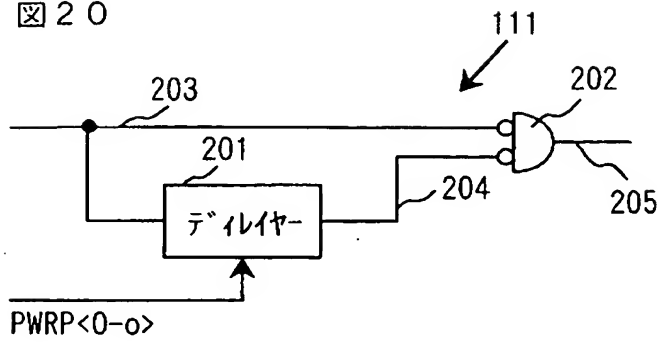
【図 19】

図 19



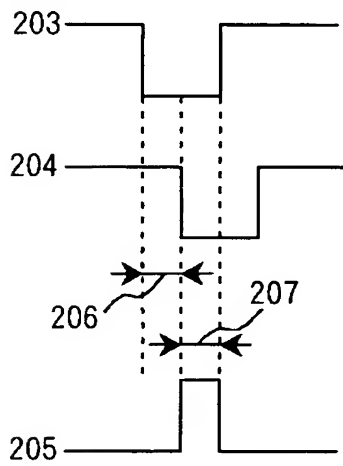
【図 20】

図 20

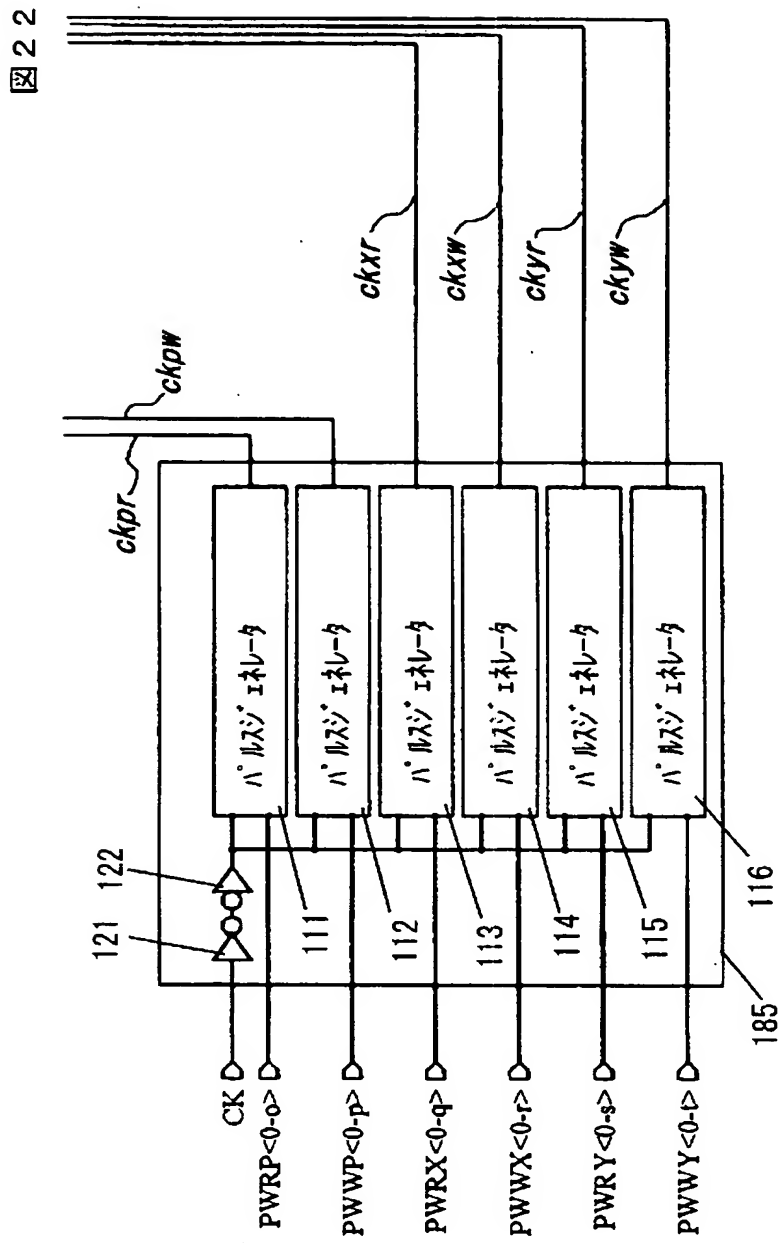


【図 21】

図 21

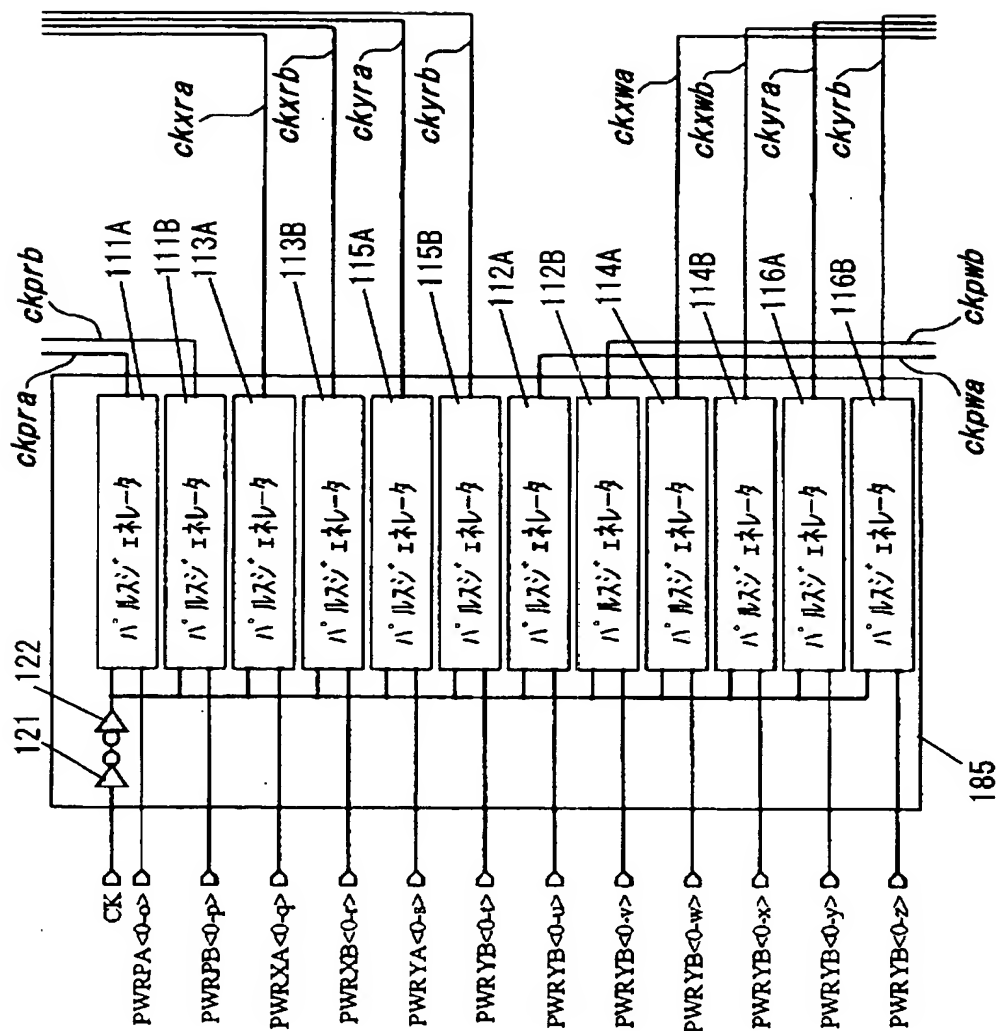


【図 22】



【図 23】

図 23





【書類名】 要約書

【要約】

【課題】 クロック信号のパルス幅のマージン不足を評価してその結果をレイアウト修正などに容易にフィードバック可能な技術を提供する

【解決手段】 メモリセルアレイからのデータリードにおいてその周辺回路に供給されるクロック信号を生成するためのリード系クロック生成回路（1 1 1, 1 1 3, 1 1 5）と、メモリセルアレイへのデータライトにおいてその周辺回路に供給されるクロック信号を生成するためのライト系クロック生成回路（1 1 2, 1 1 4, 1 1 6）とを設け、上記リード系クロック生成回路及び上記ライト系クロック生成回路には、それぞれ出力されるクロック信号のパルス幅を個別的に調整可能なパルス幅調整手段を設け、リード系とライト系とでクロック信号のパルス幅を個別的に調整できるようにする。

【選択図】 図 2

特願 2 0 0 2 - 3 4 5 4 6 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 3 1 日  
新規登録

住 所  
氏 名

東京都千代田区神田駿河台 4 丁目 6 番地  
株式会社日立製作所